

Patent

Customer No. 31561
Application No.: 10/708,178
Docket No. 10929-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yu et al.
Application No. : 10/708,178
Filed : February 13, 2004
For : CLOCK SIGNAL AMPLIFYING METHOD AND
DRIVING STAGE FOR LCD DRIVING CIRCUIT
Examiner :
Art Unit : 2673

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92129519,
filed on: 2003/10/24.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

July 21, 2004

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

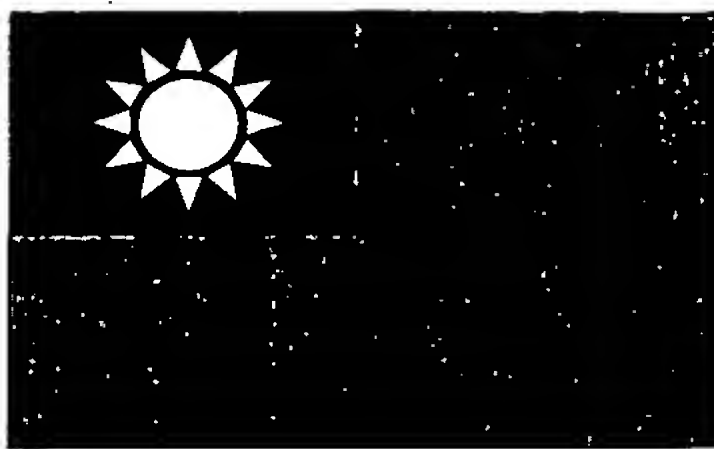
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-mail: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 24 日
Application Date

申請案號：092129519
Application No.

申請人：友達光電股份有限公司
Applicant(s)

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 25 日
Issue Date

發文字號：09320284340
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	液晶顯示驅動電路之時脈訊號放大方法及驅動級
	英 文	Clock Signal Amplifying Method And Driving Stage For LCD Driving Circuit
二、 發明人 (共2人)	姓 名 (中文)	1. 尤建盛
	姓 名 (英文)	1. YU, JIAN SHEN
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市光復路一段89巷123之5號2樓
	住居所 (英 文)	1. 2F1., No. 123-5, Lane 89, Sec. 1, Guangfu Rd., Hsinchu, Taiwan 300, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optonics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO

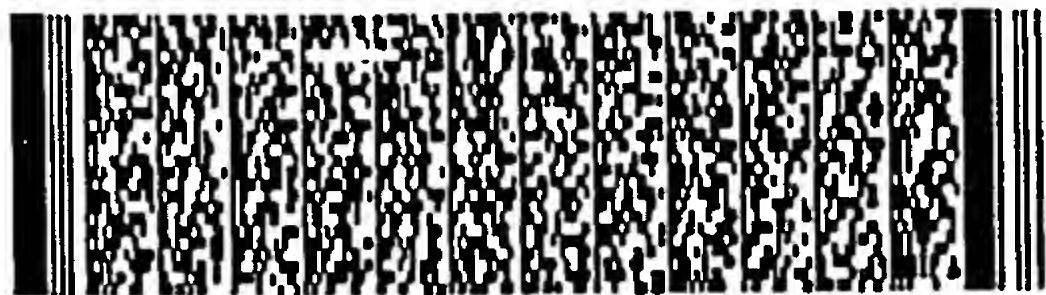


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 劉世謙
	姓 名 (英文)	2. LIU, SHIT CHIAN
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣永和市文化路90巷32弄16-3號2樓
	住居所 (英 文)	2. 2F., No. 16-3, Alley 32, Lane 90, Wunhua Rd., Yonghe City, Taipei County 234, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：液晶顯示驅動電路之時脈訊號放大方法及驅動級)

一種液晶顯示驅動電路之時脈訊號放大方法及驅動級，此驅動級包括，時脈輸入端、電位移位器與輸出緩衝器。首先，時脈輸入端接收一個於高原始電位與低原始電位間進行振盪之時脈訊號。接下來，電位移位器以高目標電位與低目標電位做為操作電位，將此時脈訊號放大為中繼訊號，此中繼訊號振盪於高中繼電位與低中繼電位之間。最後再由輸出緩衝器以高目標電位與低目標電位為操作電位，將中繼訊號放大為目標訊號，此目標訊號振盪於高目標電位與低目標電位之間。

伍、(一)、本案代表圖為：第___5A___圖

(二)、本案代表圖之元件代表符號簡單說明：

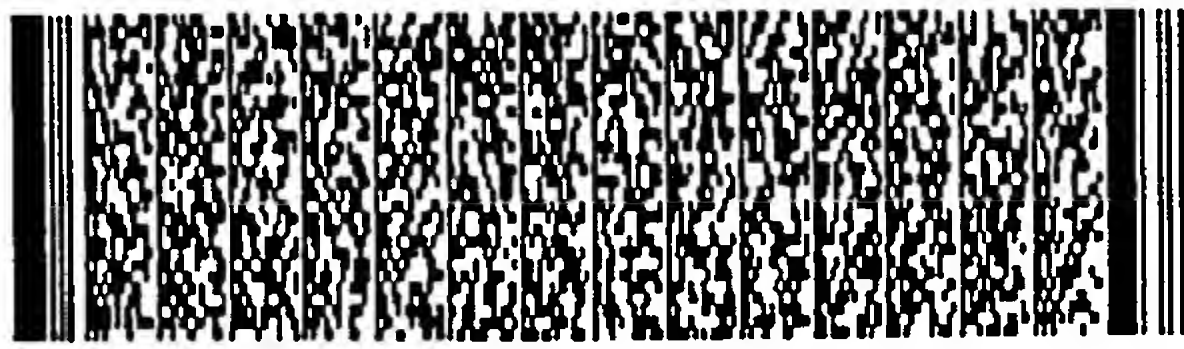
509：電位移位器

512：輸出緩衝器

503：時脈輸入端

六、英文發明摘要 (發明名稱：Clock Signal Amplifying Method And Driving Stage For LCD Driving Circuit)

A clock signal amplifying method and driving stage for LCD driving circuit is provided. The driving stage having a clock input terminal, a level shifter and an output buffer. The clock input terminal receives the clock signal oscillating between a high origin voltage and low origin voltage. The level shifter operates with a high target voltage and a low target voltage and

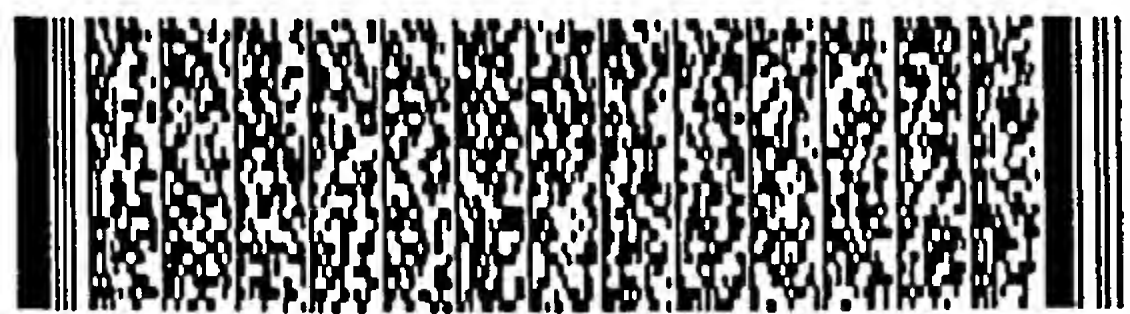


四、中文發明摘要 (發明名稱：液晶顯示驅動電路之時脈訊號放大方法及驅動級)

506：動態暫存器

六、英文發明摘要 (發明名稱：Clock Signal Amplifying Method And Driving Stage For LCD Driving Circuit)

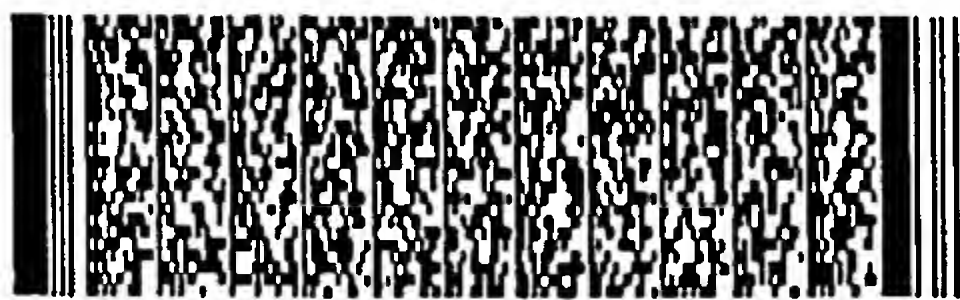
shifts the clock signal received from the clock input terminal to a temporary signal oscillating between a high temporary voltage and a low temporary voltage, wherein the high temporary voltage being between the high original voltage and the high target voltage, the low temporary voltage being between the low original voltage and the high target voltage. The output buffer



四、中文發明摘要 (發明名稱：液晶顯示驅動電路之時脈訊號放大方法及驅動級)

六、英文發明摘要 (發明名稱：Clock Signal Amplifying Method And Driving Stage For LCD Driving Circuit)

operates with the high target voltage and low target voltage, and receives the temporary signal output from the level shifter and shifts the temporary signal to a target signal oscillating between the high target voltage and low target voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

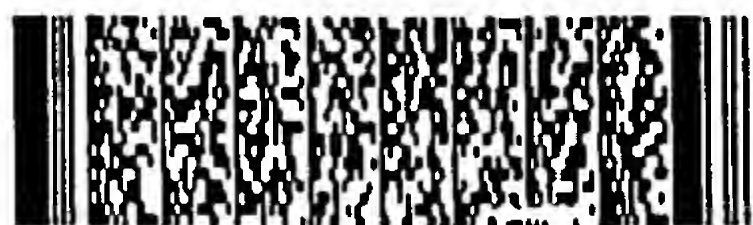
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

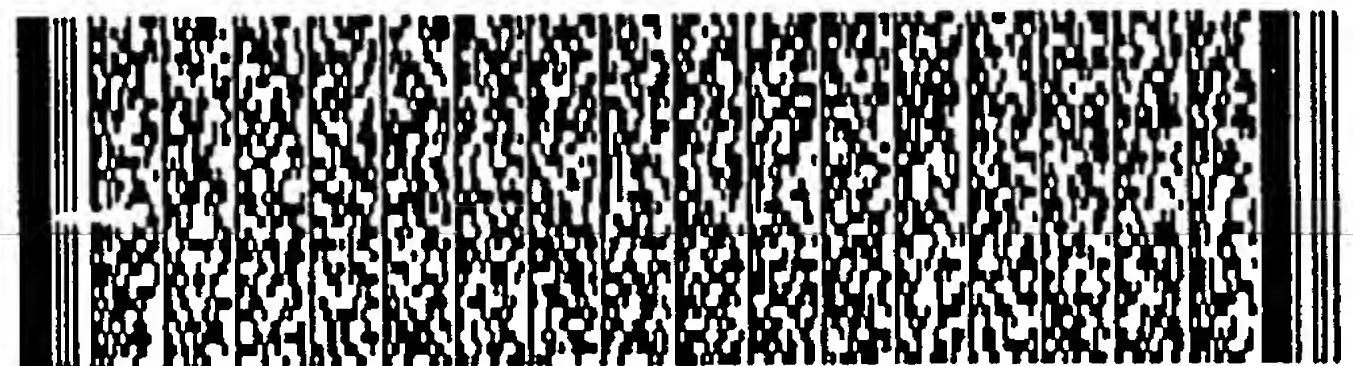
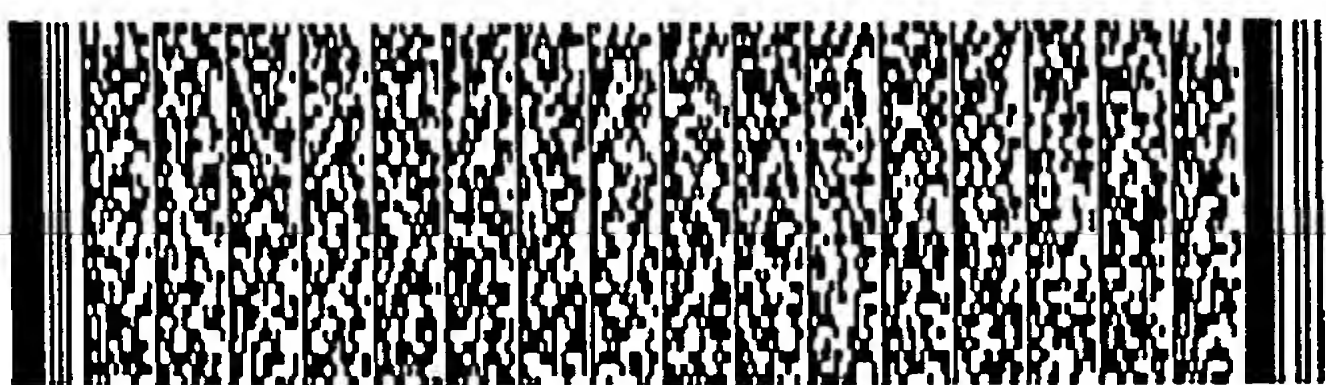
發明所屬之技術領域

本發明是有關於一種液晶顯示驅動電路之時脈訊號放大方法及驅動級裝置，且特別是有關於在低耗能且可維持穩態的液晶顯示器驅動電路之時脈訊號放大方法及驅動級。

先前技術

為了配合現代生活模式，視訊或影像裝置之設計均朝向輕薄短小的趨勢邁進。傳統的陰極射線顯示器(CRT)，雖然具有其特有之優點，但是由於內部電子槍結構的原因導致陰極射線顯示器的體積以現在的眼光看來過於龐大，空間需求也高，再加上所產生之輻射等問題，因此，配合光電技術與半導體製造技術所發展之平面式顯示器(Flat Panel Display)，如液晶顯示器(Liquid Crystal Display, LCD)、有機發光顯示器(OLED)或是電漿顯示器(Plasma Display Panel, PDP)，已逐漸成為顯示器產品的主流。

其中，液晶顯示器所顯示之畫面係由許多陣列排列之像素(Pixel)所構成，而每一個像素所顯示之亮度係由背光模組之亮度與像素所控制之灰階標度(Gray Scale)所共同決定。現今在液晶顯示器的驅動方法中，最常使用之方法係將背光模組之亮度維持一固定亮度，而根據輸入之影像資訊，分別以不同大小的偏壓驅動每一像素內之液晶進行旋轉，並藉由液晶之旋轉角度來決定像素之透光率，以達到灰階顯示的目的。

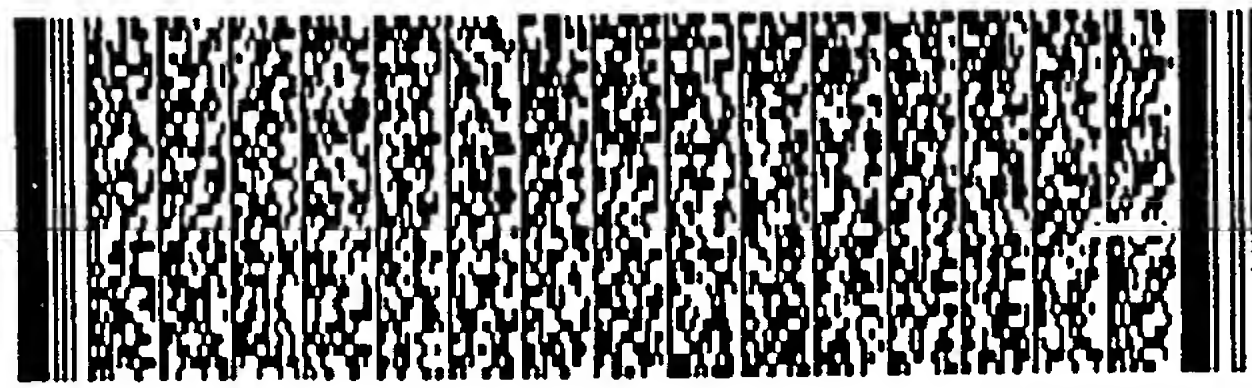
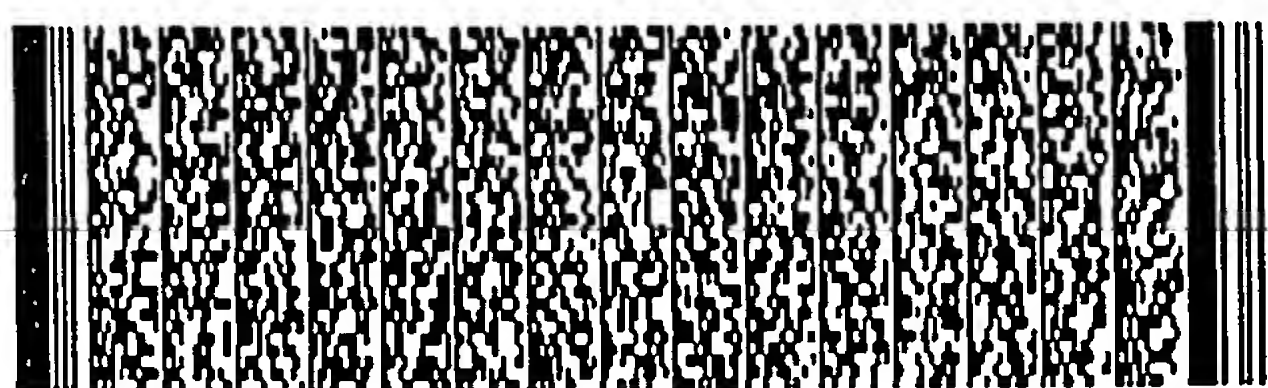


五、發明說明 (2)

薄膜電晶體(Thin Film Transistor, TFT)為廣泛應用於導通或截流一液晶顯示器之像素的元件。其組成之驅動電路依序接收一影像資料(Image Data)，並在一水平週期(Horizontal Period)之內，將對應液晶顯示器之各個像素電極已取樣的影像資料予以保留(Hold)。接下來，此驅動電路在下一次水平週期開始或中途時，一次輸出所有的影像訊號。此一驅動電路在一個時間間隔之內持續輸出該影像訊號(Image Signal)之電壓，此一時間間隔被稱為一個輸出週期。一般而言，此一輸出週期的時間長度，與一水平週期的時間長度大約相同。

請參照第1圖所繪示之習知的液晶顯示驅動電路之驅動級的電路方塊圖，每一個驅動級內包括有一個移位暫存器(Shift Register)105、一個電位移位器(Level Shifter)110，以及一個輸出緩衝器(Output Buffer)115。其中，電位移位器110電性連接於移位暫存器105與輸出緩衝器115之間。輸入移位暫存器105之時脈訊號的擺動範圍介於VDD與GND之間。由於移位暫存器105使用VDD與GND為操作電位，電位移位器110與輸出緩衝器115則是使用VDD和VSS為操作電位，其中VSS乃是小於零的電位。此習知之驅動級相當耗能。

請參照第2A圖所繪示之另一個習知之液晶顯示驅動電路之驅動級的電路方塊圖，此驅動級包括有一個第一電位移位器203、一個移位暫存器206、一個第二電位移位器209，以及一個輸出緩衝器212。其中，移位暫存器206電



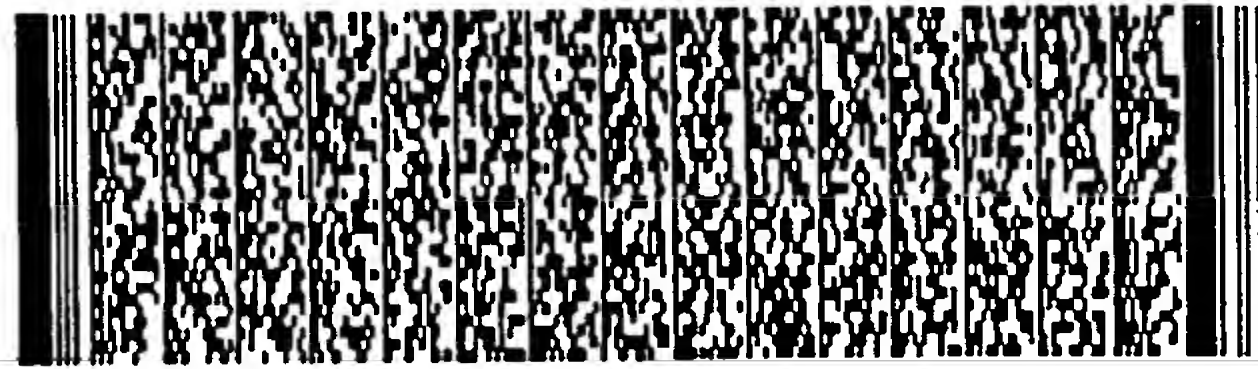
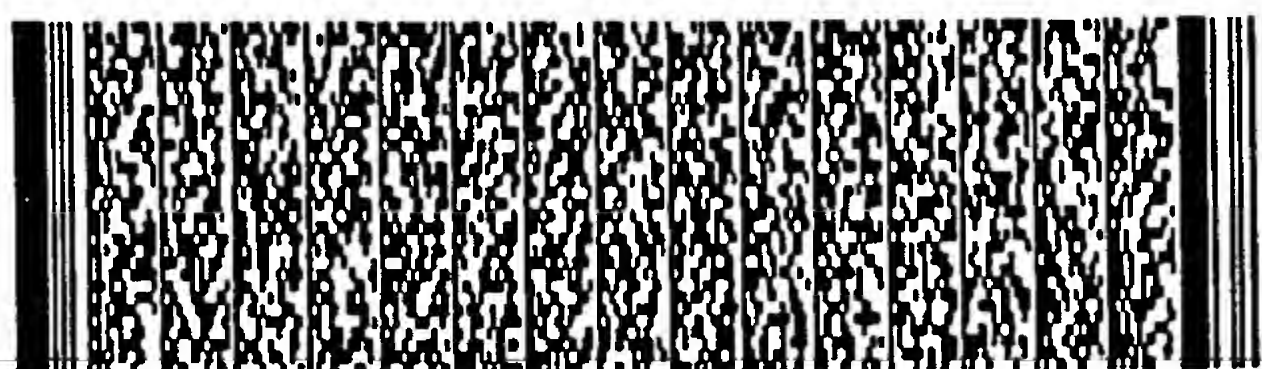
五、發明說明 (3)

性連接於第一電位移位器203與第二電位移位器209之間，輸出緩衝器212則是電性連接至第二電位移位器209。輸入第一電位移位器203之時脈訊號的擺動範圍介於一個小範圍內，例如是5V與GND之間。請參照第2B圖其繪示習知之液晶顯示驅動電路之驅動級的電位移位示意圖，在此習知技術中，第一電位移位器203與移位暫存器206使用VDD與GND做為操作電位，為第一電位移位電路，用來將3V的電位移位至所需之VDD。第二電位移位器209與輸出緩衝器212則是以VDD與VSS為操作電位，為第二電位移位電路，用來將GND的電位移位至VSS。由動態功率消耗的公式： $P = fcV^2$ 的式子可知能量與電壓的平方成正比關係，其中P代表消耗的功率，f代表操作頻率，c代表負載電容，V代表信號振幅。因此，這個習知電路所消耗之能量較上述之習知技術為少。

發明內容

本發明的目的之一在於提供一種可以節省電力消耗的平面顯示器顯示驅動電路之驅動級與驅動方法，藉由此種驅動級與驅動方法，可以比習知技術節省更多的能量。

本發明提出一種液晶顯示器電路之時脈訊號放大方法，此時脈訊號放大方法是將一個原本在高原始電位與低原始電位的範圍之間進行週期性振盪的時脈訊號，放大成為一個在高目標電位與低目標電位之間振盪的目標訊號。其中，高目標電位高於高原始電位，低目標電位則低於低原始電位。此方法包括，首先，將時脈訊號放大成為一個

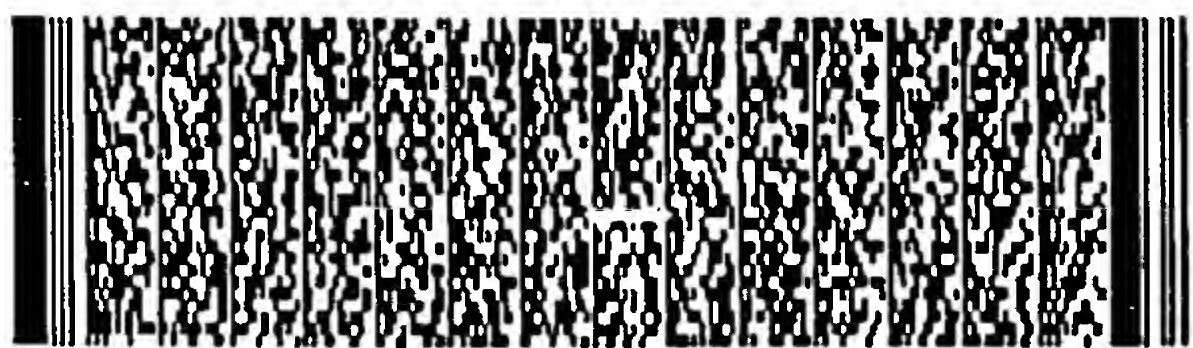


五、發明說明 (4)

在高中繼電位與低中繼電位之間振盪的中繼訊號，接下來，再將中繼訊號放大為目標訊號即可。其中，高中繼電位是介於高原始電位與高目標電位之間，低中繼電位則是介於低原始電位與低目標電位之間。

本發明提出一種液晶顯示器驅動電路之驅動級，此驅動級是以多個串聯的方式組成液晶顯示器驅動電路的一個部分。此驅動級包括，一個時脈輸入端，一個電位移位器與一個輸出緩衝器。其中，時脈輸入端是用來接收時脈訊號，此時脈訊號為在高原始電位與低原始電位的範圍之間進行週期性振盪的時脈訊號。電位移位器電性連接至時脈輸入端，從時脈輸入端接收上述之時脈訊號，並使用高目標電位與低目標電位做為操作電位，將此時脈訊號放大成為在高中繼電位與低中繼電位之間進行振盪的一個中繼訊號。輸出緩衝器電性連接至電位移位器，自電位移位器接收中繼訊號，並使用高目標電位與低目標電位做為操作電位，將此中繼訊號放大成為在高目標電位與低目標電位之間進行振盪的一個目標訊號。其中，高中繼電位的大小介於高原始電位與高目標電位之間，低中繼電位的大小則是介於低原始電位與低目標電位之間。

由於習知技術中需使用2個電位移位器以及3個電壓源，包括GND、VDD與VSS，所以較為複雜且較消耗能量。因此，在本發明所提出之液晶顯示驅動電路之時脈訊號放大方法及驅動級中，由於驅動級僅包括一個電位移位器且只使用兩個電壓源VDD與VSS，更由於可使用互補金屬氧化



五、發明說明 (5)

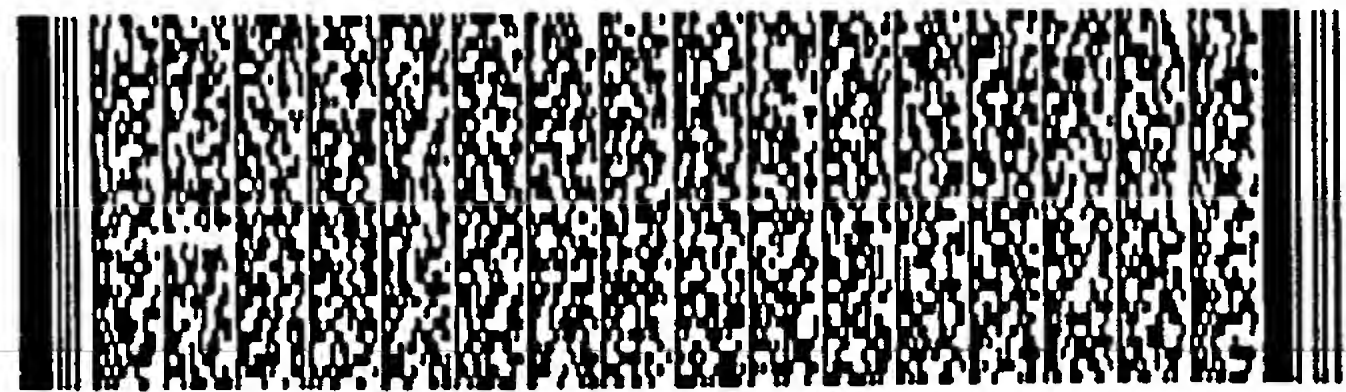
物半導體(Complementary Metal-Oxide Semiconductor, CMOS)結構實現，即以N通道金屬氧化物導體與P通道金屬氧化物導體在電路中以互補方式動作，因此可以利用N通道與P通道金屬氧化物導體導通狀況不同，使得任何時刻電壓源與接地之間僅存在漏電電流，使其消耗能量相當低，約等於電壓源與漏地電流的乘積。故本發明較習知技術更為簡單且所消耗之能量更少。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

對薄膜液晶顯示器(TFT-LCD)而言，其所包含之閘驅動(Gate Driver)的功能是持續提供脈波訊號(Pulsed Signal)給與每一條水平掃描線(Horizontal Scan Line)電性連接的閘極端。此閘極端為主動矩陣中負責控制某一個像素的薄膜電晶體開關的一端。脈波訊號則通常擺動於負電位VSS與正電位VDD之間，通常是擺動於-5V與9V之間。本發明之驅動電路之驅動級，用以將一個低電壓的時脈訊號CLKin放大成為一個脈波訊號，此低電壓通常為3V，此時脈訊號CLKin為振盪於3V與0V之間的週期性訊號。

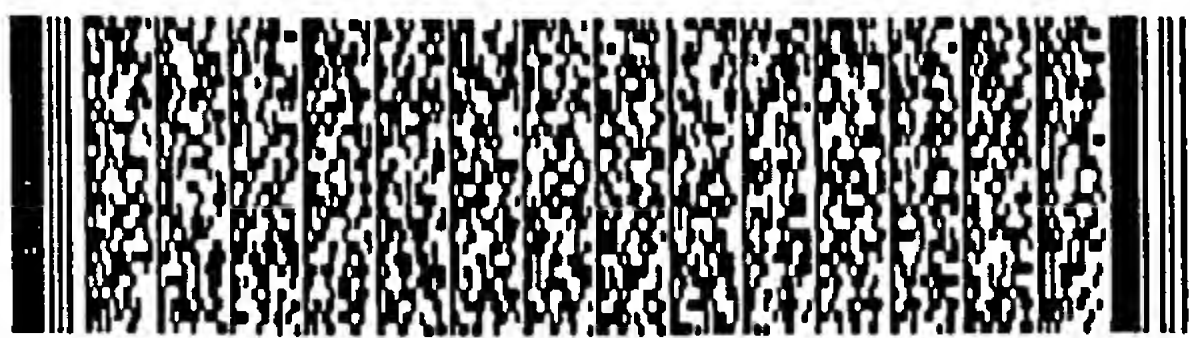
請參照第3圖，其繪示依照本發明一較佳實施例的液晶顯示驅動電路之時脈訊號CLKin放大方法的實行步驟圖。本實施例用於將原本振盪於高原始電位(例如是3V)



五、發明說明 (6)

與低原始電位（例如是0V）之間的時脈訊號CLKin放大為振盪於高目標電位（例如是9V）與低目標電位（例如是-5V）之間的目標訊號。首先，將時脈訊號CLKin放大為在高中繼電位與低中繼電位之間進行振盪的中繼訊號（如步驟S303）。接下來，再將該中繼訊號放大為目標訊號即完成（如步驟S306）。其中，高中繼電位的大小介於高原始電位（例如是3V）與高目標電位（例如是9V）之間，低中繼電位的大小則是介於低原始電位（例如是0V）與低目標電位（例如是-5V）之間。在本發明的一個實施例中，時脈訊號CLKin可以是在某一個特定期間內才被接收。

請參照第4圖，其繪示依照本發明第一較佳實施例的液晶顯示驅動電路之驅動級的電路方塊圖。在本實施例中液晶顯示器驅動電路之驅動級包括時脈輸入端403、電位移位器406與輸出緩衝器409。其中，時脈輸入端403負責接收在高原始電位（例如是3V）與低原始電位（例如是0V）間進行振盪的時脈訊號CLKin。電位移位器406電性連接至時脈輸入端403，自時脈輸入端403接收時脈訊號CLKin，並使用高目標電位（例如是9V）與低目標電位（例如是-5V）做為操作電位，藉此將時脈訊號CLKin放大成為在高中繼電位與低中繼電位之間進行振盪的中繼訊號。輸出緩衝器409電性連接至電位移位器406，自電位移位器406接收到中繼訊號，並使用高目標電位與低目標電位做為操作電位，將中繼訊號放大成為在高目標電位與低目標電位之間振盪的目標訊號。其中，將上述之各電位由

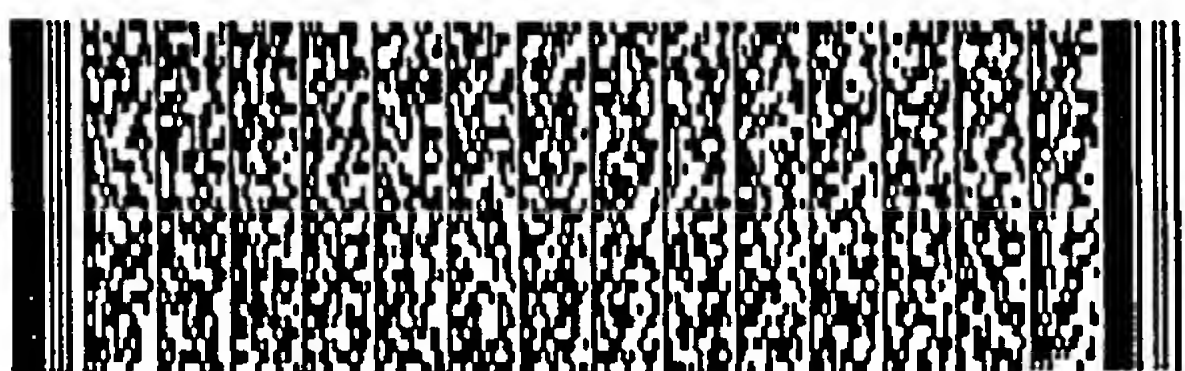


五、發明說明 (7)

高至低排列，依序為高目標電位、高中繼電位、高原始電位、低原始電位、低中繼電位，最後為低目標電位。其中，高目標電位可以為9V，高原始電位可以為3V；低目標電位可以為-5V，低原始電位可以為0V。

接下來，請參照第5A圖，其繪示依照本發明第二較佳實施例的液晶顯示驅動電路之驅動級的電路方塊圖。在此實施例中，液晶顯示驅動電路之驅動級與第4圖所繪示之實施例比較，更包括有一個動態暫存器506，此動態暫存器506電性連接於時脈輸入端503與電位移位器509之間，用來根據一個控制訊號組515來決定是否要將時脈輸入端503與電位移位器509之間導通。請參照第5B圖，其繪示本發明第二較佳實施例的液晶顯示驅動電路之驅動級的電位移位示意圖。由 $P = fcV^2$ 可知能量與電壓的平方成正比關係，也就是說當電位變為原來的二分之一倍時，所消耗之能量理想上可減至原來的四分之一倍，因此本實施例較習知之驅動級耗能少。

請參照第6A圖，其繪示依照本發明動態暫存器的第一較佳實施例的電路方塊圖。此動態暫存器506包括有，一個暫存器輸出端606、一個第一控制訊號輸入電路603與一個第二控制訊號輸入電路609。其中，暫存器輸出端606電性連接到電位移位器509。第一控制訊號輸入電路603，用來接收由驅動級的前一級驅動級所輸出的前級驅動訊號 $(N-1)th$ ，並根據此前級驅動訊號 $(N-1)th$ 來決定是否要將時脈輸入端503與暫存器輸出端606之間導通。另外，第二



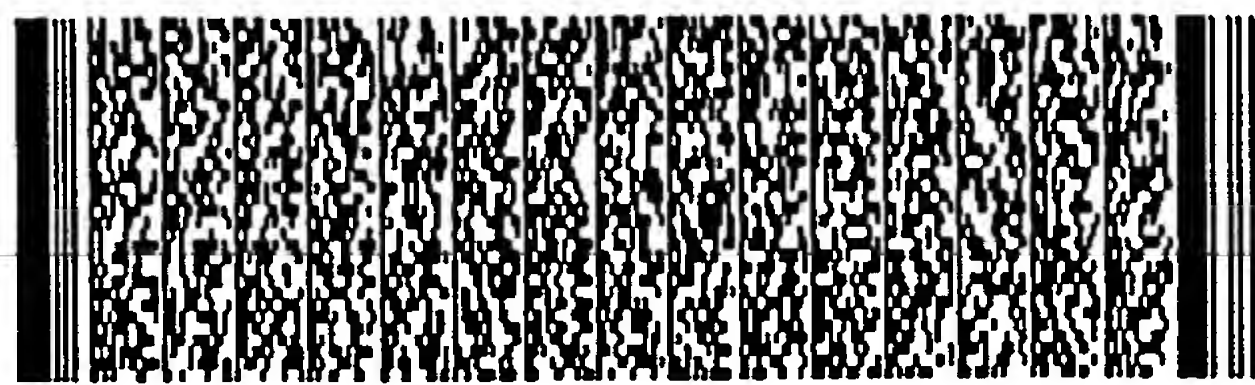
五、發明說明 (8)

控制訊號輸入電路609則是用來接收由驅動級的後一級驅動級所輸出的後級驅動訊號 $(N+1)th$ ，並根據此後級驅動訊號 $(N+1)th$ 來決定是否要將暫存器輸出端606與低目標電位（例如是 $-5V$ ）之間導通。

請參照第6B圖，其繪示依照本發明動態暫存器的第一較佳實施例的元件實現圖。其中，電晶體Q1與Q2形成一個雙閘結構(Dual-Gate Configuration)，其功能類似一個輸入開關裝置。當此雙閘結構導通之時，用以接收前級驅動訊號 $(N-1)th$ 將端點612充電至正電位，並使其電位高於時脈輸入端，呈一高電位狀態。當雙閘結構截流之時，則端點612維持在高電位狀態。由圖示可知電晶體Q6、Q7與Q8串接形成一個三閘結構(Triple-Gate Configuration)，當此三閘結構因接受後級驅動訊號 $(N+1)th$ 而導通時，會對端點621產生放電作用，最後使端點621之電位達到負電位。在此使用多閘結構(Multi-Gate Configuration)的原因乃是為了要減少當端點612的訊號處於維持時間(Holding Time)時的漏電流。訊號其詳細之運作細節分述如下：

1. 當端點612處於充電時間(Charging Time)時，前級驅動訊號 $(N-1)th$ 的補數訊號 $(N-1)th^*$ 的電位為 $-5V$ 將電晶體Q4截流，且此時前級驅動訊號 $(N-1)th$ 的電位為 $9V$ 將電晶體Q5導通。因此端點618被維持在 $-5V$ ，此端點618為動態暫存器的輸出端，且連接至電位移位器的輸入端。

2. 當端點612處於維持時間時，前級驅動訊號 $(N-1)th$



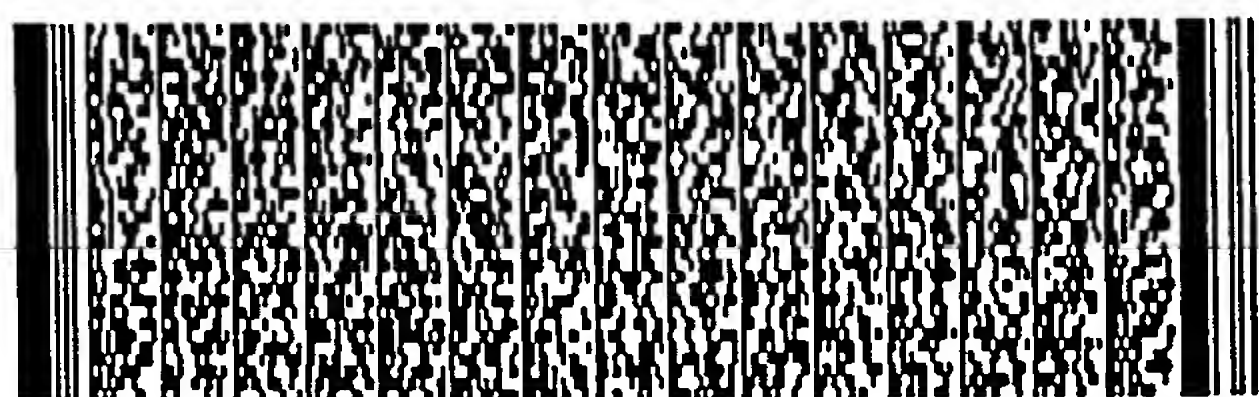
五、發明說明 (9)

的電位為-5V可將電晶體Q5被截流，此時前級驅動訊號(N-1)th的補數訊號(N-1)th*的電位為9V可將電晶體Q4導通，令在0V至3V之間振盪之時脈訊號CLKin耦合至端點618。換句話說，端點618會在電晶體Q3與Q4同時導通，接收時脈訊號CLKin，並將其輸出至電位移位器。

3. 當端點612處於放電時間(Discharging Time)時，後級驅動訊號(N+1)th的電位為9V，會將電晶體Q6、Q7、Q8與Q9導通。當端點612被放電至-5V時，電晶體Q3會被截流，此時的動態暫存器對時脈訊號CLKin而言，有著一個極大的輸入阻抗。此時端點618的電位為-5V，並且維持在此電位直到下一次的觸發脈波訊號的到來。

請參照第6C圖與第6D圖其繪示適用於動態暫存器的第一較佳實施例的兩種不同的電位移位器的元件實現圖。熟悉此技藝者可知，此電位移位器包括有互補式金屬氧化半導體所組成之反相器。更包括有連結自身源極與閘極或者是汲極與閘極之金屬氧化半導體。

請參照第7A圖所繪示之依照本發明動態暫存器的第二較佳實施例的電路方塊圖。此動態暫存器包括一個暫存器輸出端706、一個第一控制訊號輸入電路703與一個第二控制訊號輸入電路712的結構，但第二控制訊號輸入電路所執行之動作稍有不同。在此實施例中，此第二控制訊號輸入電路712是用來接收前級驅動訊號(N-1)th與此級電位移位器的輸出訊號709，並根據此結果來決定是否將驅動級與低目標電位（例如是-5V）之間導通。其中，電位移位



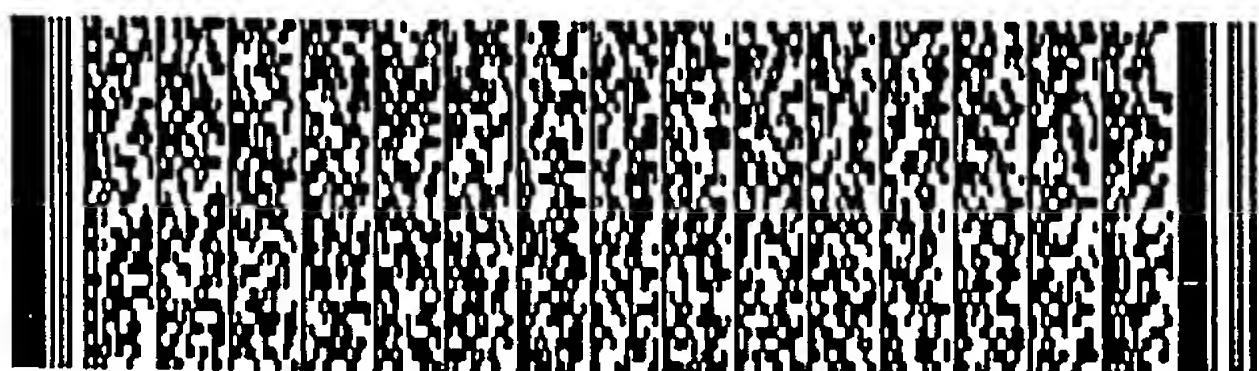
五、發明說明 (10)

器的輸出訊號709與驅動級所輸出的目標訊號互為反相。

請參照第7B圖，其繪示依照本發明動態暫存器的第二較佳實施例的元件實現圖。當處於充電過程時，此動態暫存器與第一較佳實施例中之動態暫存器相似。當端點714處於高電位狀態時，電晶體Q3與Q4被導通，而電晶體Q5則是被截流，一組互為補數的時脈訊號CLKin就藉由電晶體Q3與Q4被傳送至電位移位器。在此實施例中，電位移位器509是由2個並接的反相電路所組成，其輸出訊號709為在一個時間週期中，時脈訊號CLKin的補數訊號CLKin*放大的脈波訊號。此脈波訊號於一高中繼電位與一低中繼電位中進行振盪。此高中繼電位介於3V與9V之間，此低中繼電位則是介於GND與-5V之間。

請參照第7C圖所繪示之適用於動態暫存器的第二較佳實施例的電位移位器的元件實現圖。此電位移位器可分為兩級，分別是電晶體Q11、Q12、Q13、Q14所組成之第一級，與電晶體Q15、Q16、Q17、Q18所組成之第二級。其中第一級連接至電晶體Q3，用以接收時脈訊號CLKin，第二級則是連接至電晶體Q4，用以接收時脈訊號CLKin的補數訊號CLKin*。

此動態暫存器506與電位移位器509的輸出端並包括由迴授佈線，此迴授佈線的完成使得動態暫存器具有自身放電功能(Self Discharging Function)。當前級驅動訊號(N-1)th傳送到放電電晶體Q6、Q7與Q8的共同端點716時，迴授訊號會傳送至電晶體Q9。在正常狀況下，當前級驅動



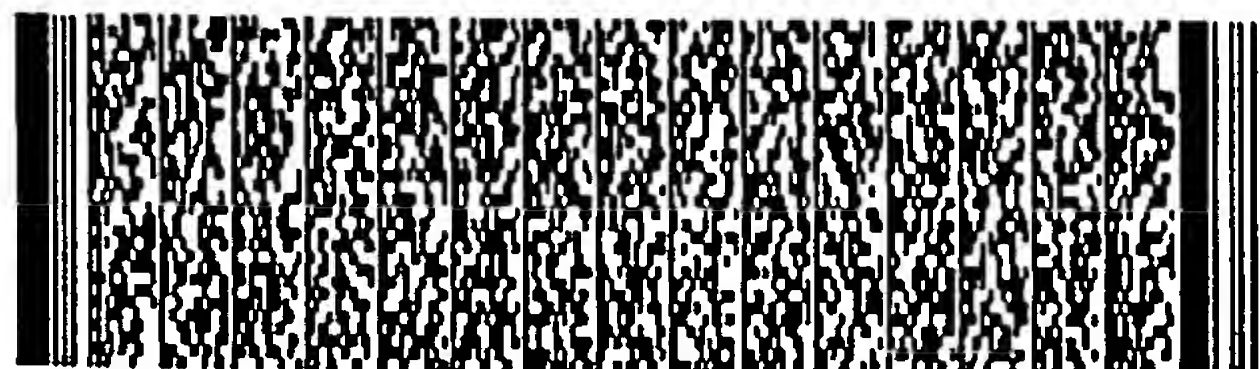
五、發明說明 (11)

訊號 $(N-1)th$ 的電位為 $-5V$ 時，電晶體 $Q3$ 、 $Q4$ 與 $Q10$ 被截流，電晶體 $Q5$ 與 $Q9$ 則被導通，當端點 722 的電位為 $9V$ 時，則迴授訊號會通過電晶體 $Q9$ 及共同端點 716 ，而導通電晶體 $Q6$ 、 $Q7$ 與 $Q8$ ，另端點 714 與端點 718 的電位則維持在 $-5V$ ，此迴授佈線可使驅動級維持在一個穩態迴授。

在另一個較佳實施例中，液晶顯示驅動電路之驅動級中更包括有一個電位箝制器，如第7B圖所繪示之電晶體 $Q5$ ，此電位箝制器電性連接於高目標電位（例如是 $9V$ ）與暫存器輸出端之間，會根據前級驅動訊號 $(N-1)th$ 來決定是否要將暫存器輸出端與高目標電位（例如是 $9V$ ）之間導通。此電位箝制器可以P型金屬氧化半導體來實現。

在液晶顯示驅動電路之驅動級的第一與第二較佳實施例中，皆只使用了一個電位移位器及兩個電壓源 VDD 與 VSS ，與習知技術中需使用2個電位移位器以及3個電壓源包括， GND 、 VDD 與 VSS 的驅動級比較，實施例中之驅動級所消耗之能量較少。在動態暫存器的第二較佳實施例中，由於具有迴授之佈線，使得驅動級可以保持在一個穩態迴授。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是繪示習知的液晶顯示驅動電路之驅動級的電路方塊圖。

第2A圖是所繪示習知的液晶顯示驅動電路之驅動級的電路方塊圖。

第2B圖是繪示習知的液晶顯示驅動電路之驅動級的電位移位示意圖。

第3圖是繪示依照本發明一較佳實施例的液晶顯示驅動電路之時脈訊號放大方法的實行步驟圖。

第4圖是繪示依照本發明第一較佳實施例的液晶顯示驅動電路之驅動級的電路方塊圖。

第5A圖是繪示依照本發明第二較佳實施例的液晶顯示驅動電路之驅動級的電路方塊圖。

第5B圖是繪示依照本發明第二較佳實施例的液晶顯示驅動電路之驅動級的電位移位示意圖。

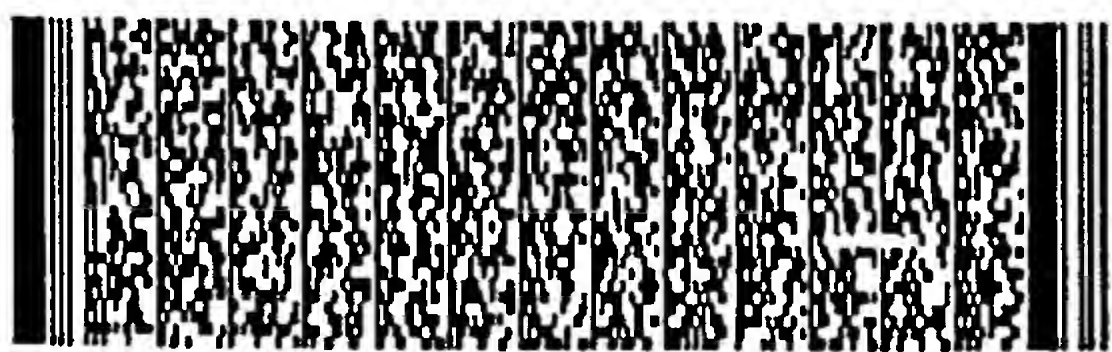
第6A圖是繪示依照本發明動態暫存器的第一較佳實施例的電路方塊圖。

第6B圖是繪示依照本發明動態暫存器的第一較佳實施例的元件實現圖。

第6C圖是繪示適用於動態暫存器的第一較佳實施例的電位移位器的元件實現圖。

第6D圖是繪示適用於動態暫存器的第一較佳實施例的電位移位器的元件實現圖。

第7A圖是繪示依照本發明動態暫存器的第二較佳實施例的電路方塊圖。



圖式簡單說明

第7B圖是繪示依照本發明動態暫存器的第二較佳實施例的元件實現圖。

第7C圖是繪示之適用於動態暫存器的第二較佳實施例的電位移位器的元件實現圖。

圖式標記說明：

105、206：移位暫存器

110、406、509：電位移位器

115、212、409、512：輸出緩衝器

203：第一電位移位器

209：第二電位移位器

S303～S206：各實行步驟

403、503：時脈輸入端

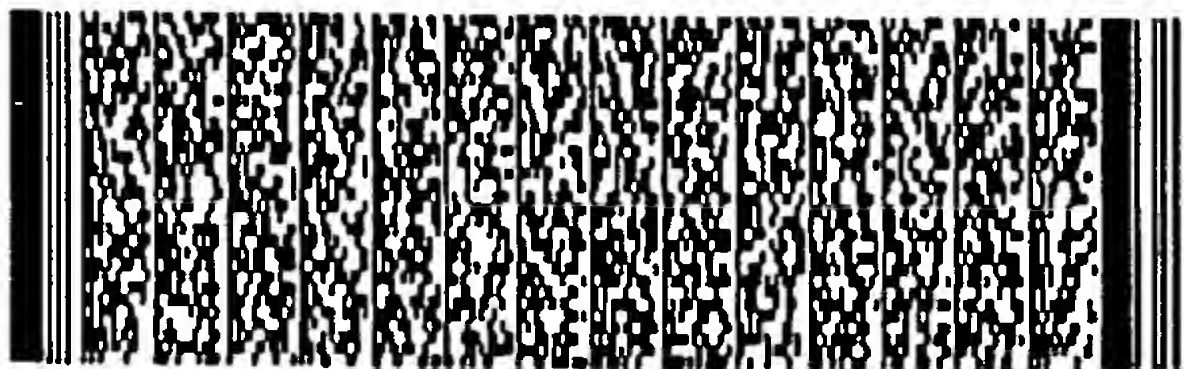
506：動態暫存器

603、703：第一控制訊號輸入電路

606、706、709：暫存器輸出端

609、712：第二控制訊號輸入電路

612～618、714～722：端點



六、申請專利範圍

1. 一種液晶顯示驅動電路之時脈訊號放大方法，適用於將週期性於一高原始電位與一低原始電位間震盪之一時脈訊號放大成於一高目標電位與一低目標電位間震盪之一目標訊號，且該高目標電位高於該高原始電位，該低目標電位低於該低原始電位，該液晶顯示驅動電路之時脈訊號放大方法包括：

將該時脈訊號放大成於一高中繼電位與一低中繼電位間震盪之一中繼訊號；以及

將該中繼訊號放大為該目標訊號；

其中，該高中繼電位介於該高原始電位與該高目標電位之間，且該低中繼電位介於該低原始電位與該低目標電位之間。

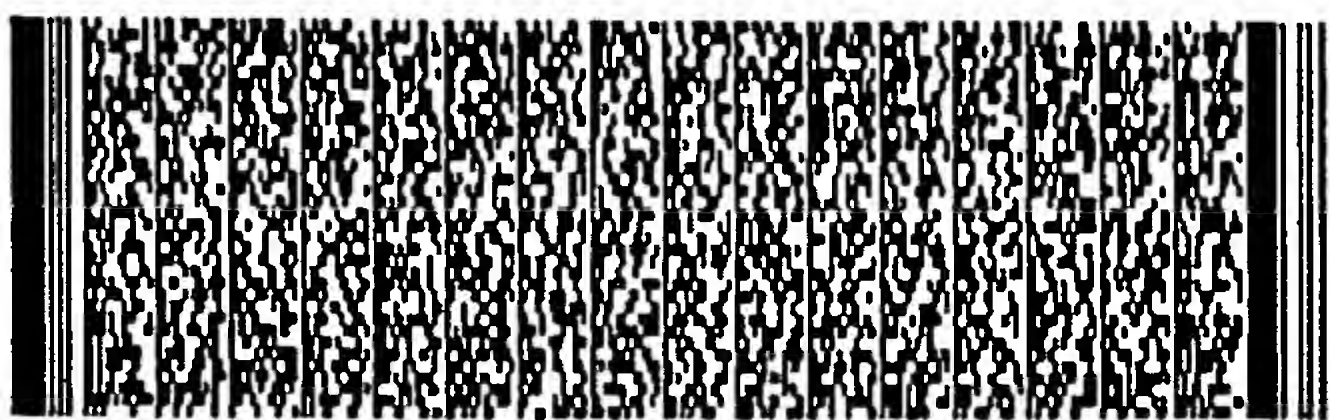
2. 如申請專利範圍第1項所述之液晶顯示驅動電路之時脈訊號放大方法，更包括：

僅在一預定期間內接收該時脈訊號。

3. 一種液晶顯示驅動電路之驅動級，該驅動級以多個串聯的方式組成該液晶顯示驅動電路之一部分，該液晶顯示驅動電路之驅動級包括：

一時脈輸入端，接收具有一高原始電位與一低原始電位之一時脈訊號；

一電位移位器，電性耦接至該時脈輸入端，自該時脈輸入端接收該時脈訊號，並以一高目標電位與一低目標電位為操作電位，藉以放大該時脈訊號為具有一高中繼電位與一低中繼電位之一中繼訊號；以及



六、申請專利範圍

一輸出緩衝器，電性耦接至該電位移位器，自該電位移位器接收該中繼訊號，並以該高目標電位與該低目標電位為操作電位，藉以放大該中繼訊號為具有該高目標電位與該低目標電位之一目標訊號；

其中，該高中繼電位介於該高原始電位與該高目標電位之間，且該低中繼電位介於該低原始電位與該低目標電位之間。

4. 如申請專利範圍第3項所述之液晶顯示驅動電路之驅動級，其中該輸出緩衝器包含奇數個數的反相器。

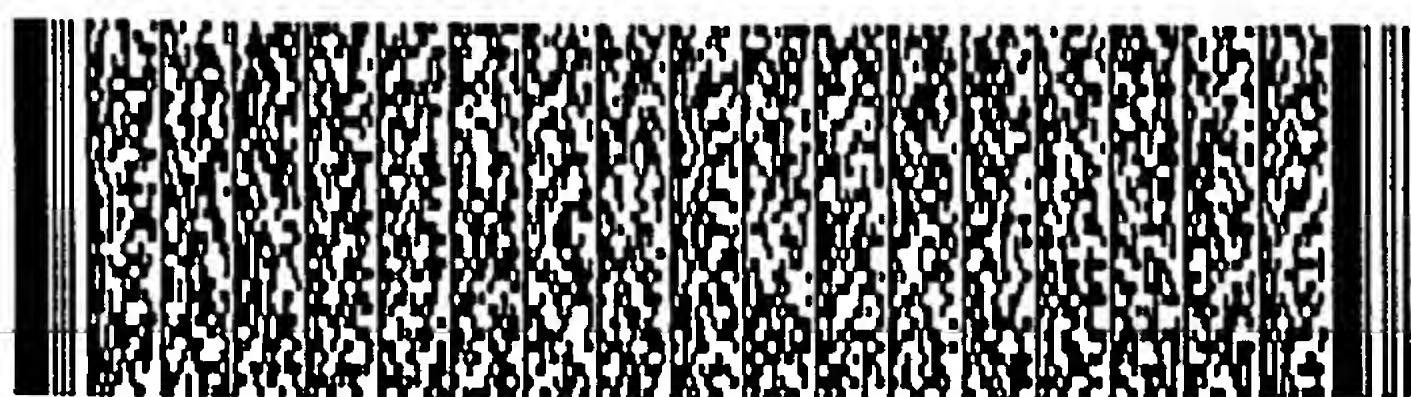
5. 如申請專利範圍第3項所述之液晶顯示驅動電路之驅動級，其中該輸出緩衝器係由互補式金屬氧化半導體所組成。

6. 如申請專利範圍第3項所述之液晶顯示驅動電路之驅動級，其中該電位移位器包括由互補式金屬氧化半導體所組成的反相器。

7. 如申請專利範圍第6項所述之液晶顯示驅動電路之驅動級，其中該電位移位器中的反相器包括連接自身之源極/汲極與閘極的金屬氧化半導體。

8. 如申請專利範圍第3項所述之液晶顯示驅動電路之驅動級，更包括一動態暫存器，該動態暫存器電性耦接於該時脈輸入端與該電位移位器之間，並根據一控制訊號組決定是否導通該時脈輸入端至該電位移位器之電性通道。

9. 如申請專利範圍第8項所述之液晶顯示驅動電路之驅動級，其中該動態暫存器包括：



六、申請專利範圍

一暫存器輸出端，電性耦接至該電位移位器；

一第一控制訊號輸入電路，接收由該驅動級之前一級驅動級所輸出之一前級驅動訊號，並根據該前級驅動訊號決定是否導通該時脈輸入端電性與該暫存器輸出端間之電性通道；以及

一第二控制訊號輸入電路，接收由該驅動級之後一級驅動級所輸出之一後級驅動訊號，並根據該後級驅動訊號決定是否導通該暫存器輸出端與該低目標電位間之電性通道。

10. 如申請專利範圍第8項所述之液晶顯示驅動電路之驅動級，其中該動態暫存器包括：

一暫存器輸出端，電性耦接至該電位移位器；

一第一控制訊號輸入電路，接收由該驅動級之前一級驅動級所輸出之一前級驅動訊號，並根據該前級驅動訊號決定是否導通該時脈輸入端與該暫存器輸出端間之電性通道；以及

一第二控制訊號輸入電路，接收該前級驅動訊號與該電位移位器之輸出，並據以決定是否導通該驅動級與該該低目標電位間之電性通道；

其中，該電位移位器之輸出與該驅動級所輸出之該目標訊號反相。

11. 如申請專利範圍第10項所述之液晶顯示驅動電路之驅動級，更包括：

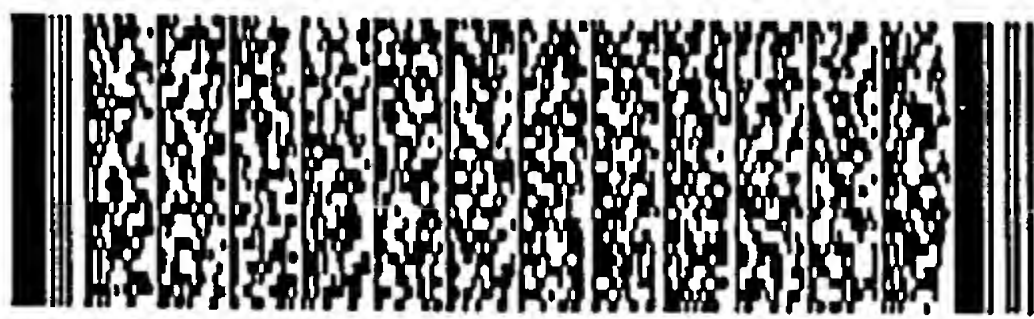
一電位箝制器，電性耦接於該高目標電位與該暫存器

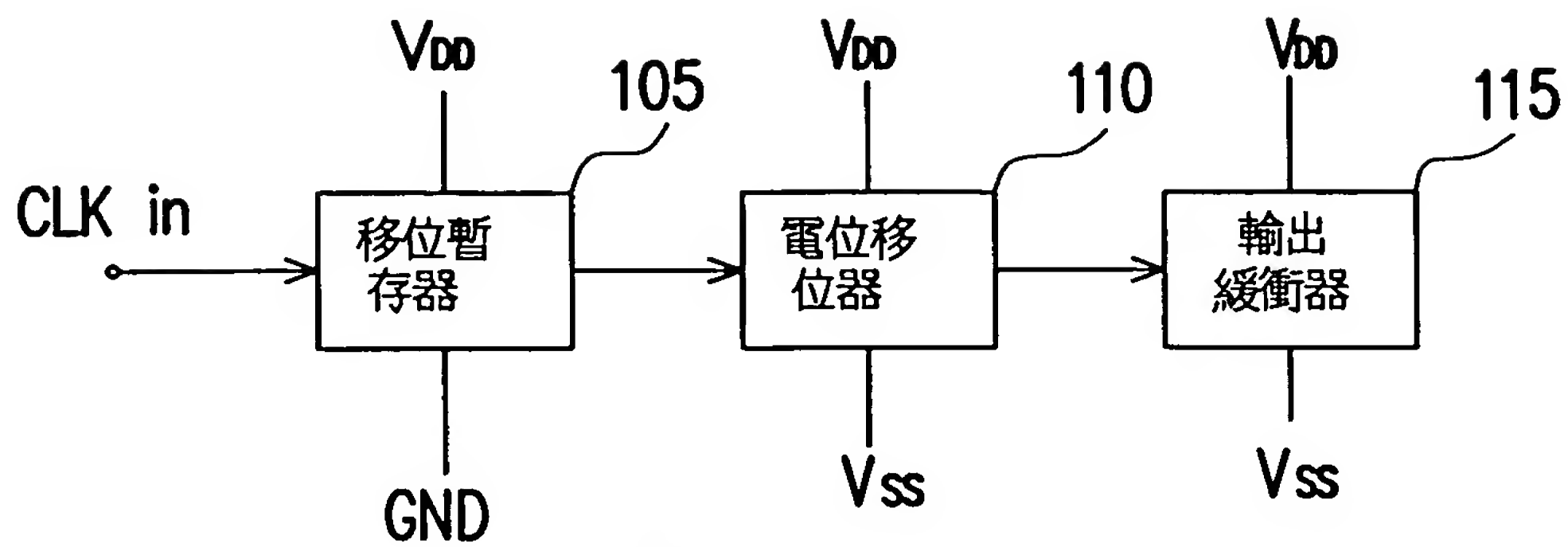


六、申請專利範圍

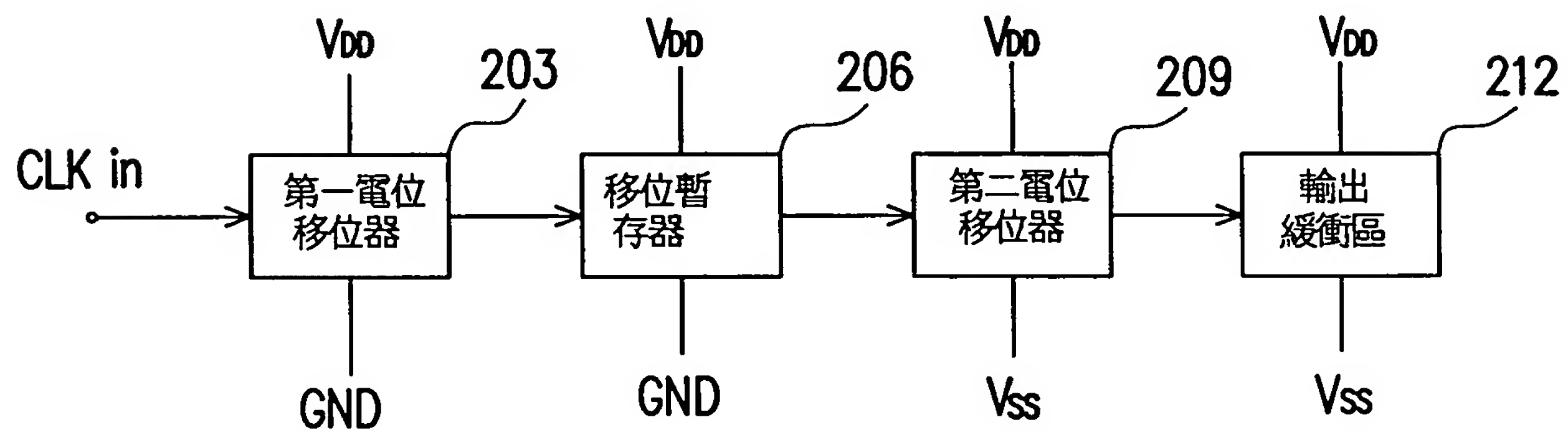
輸出端之間，並根據該前級驅動訊號決定是否導通該暫存器輸出端與該高目標電位間之電性通道。

12. 如申請專利範圍第11項所述之液晶顯示驅動電路之驅動級，其中該電位箝制器包括P型金屬氧化半導體。

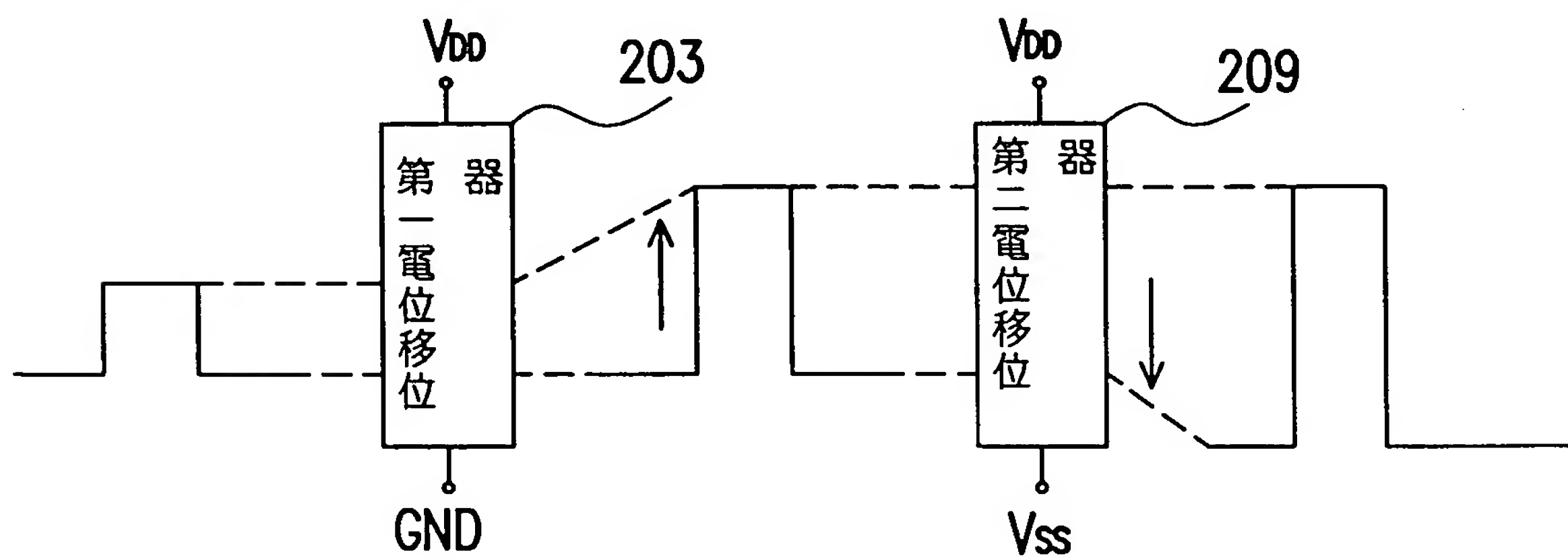




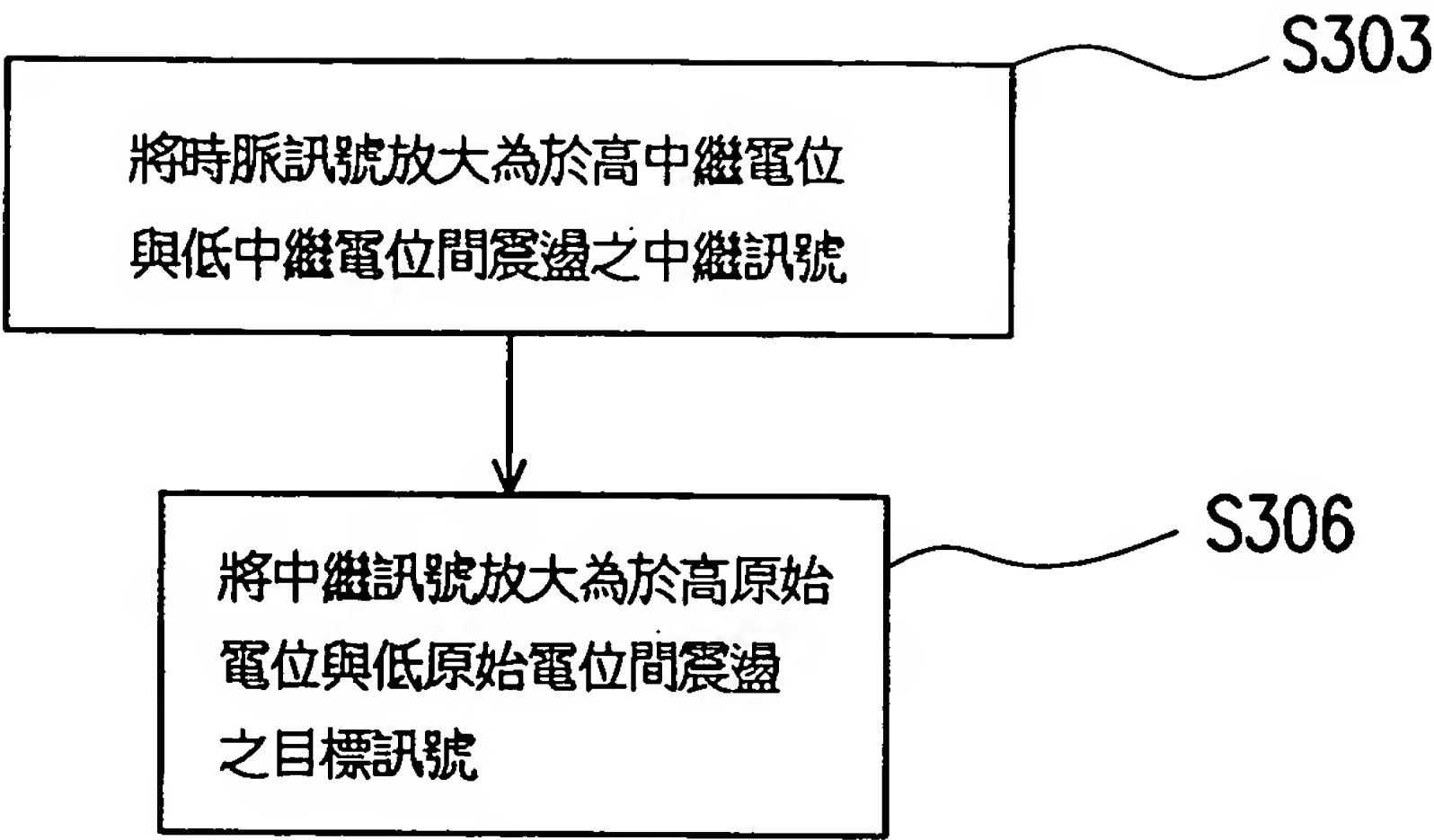
第 1 圖



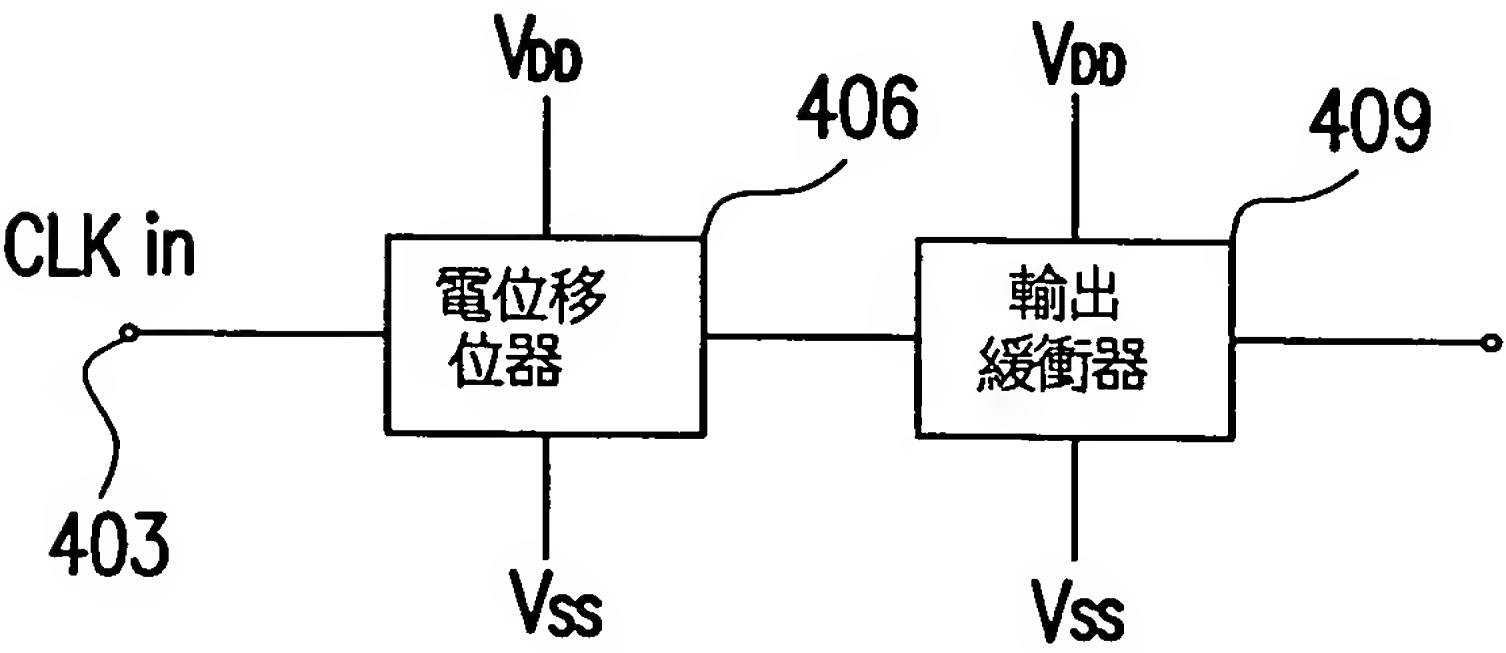
第 2A 圖



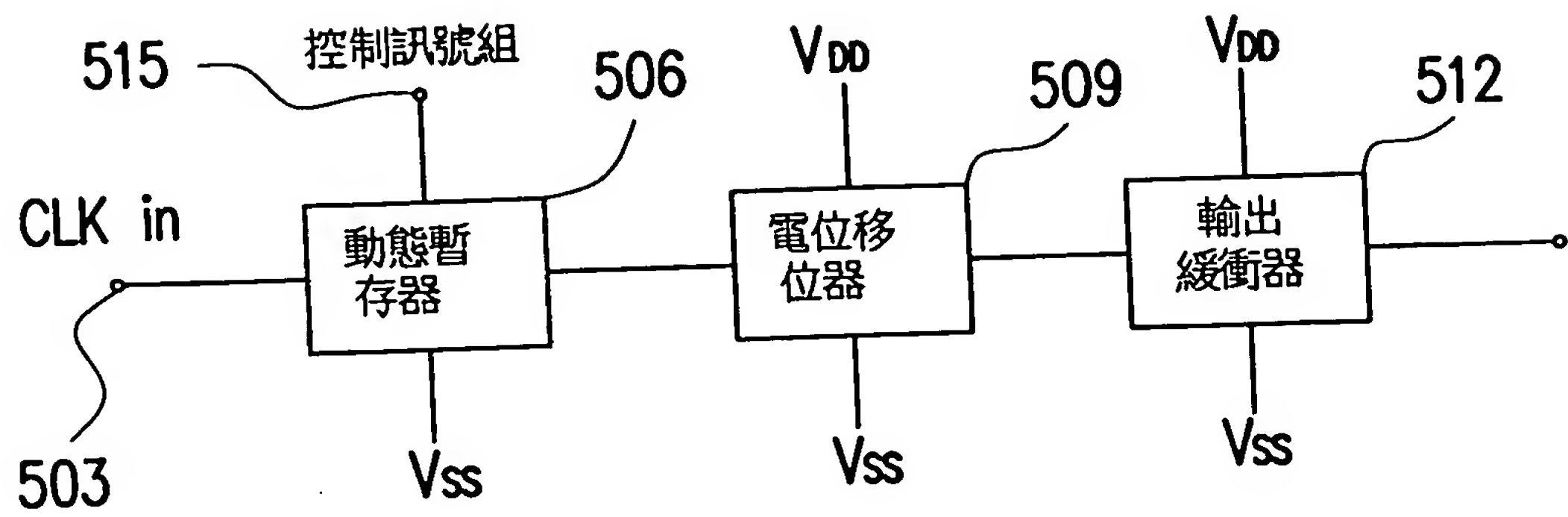
第 2B 圖



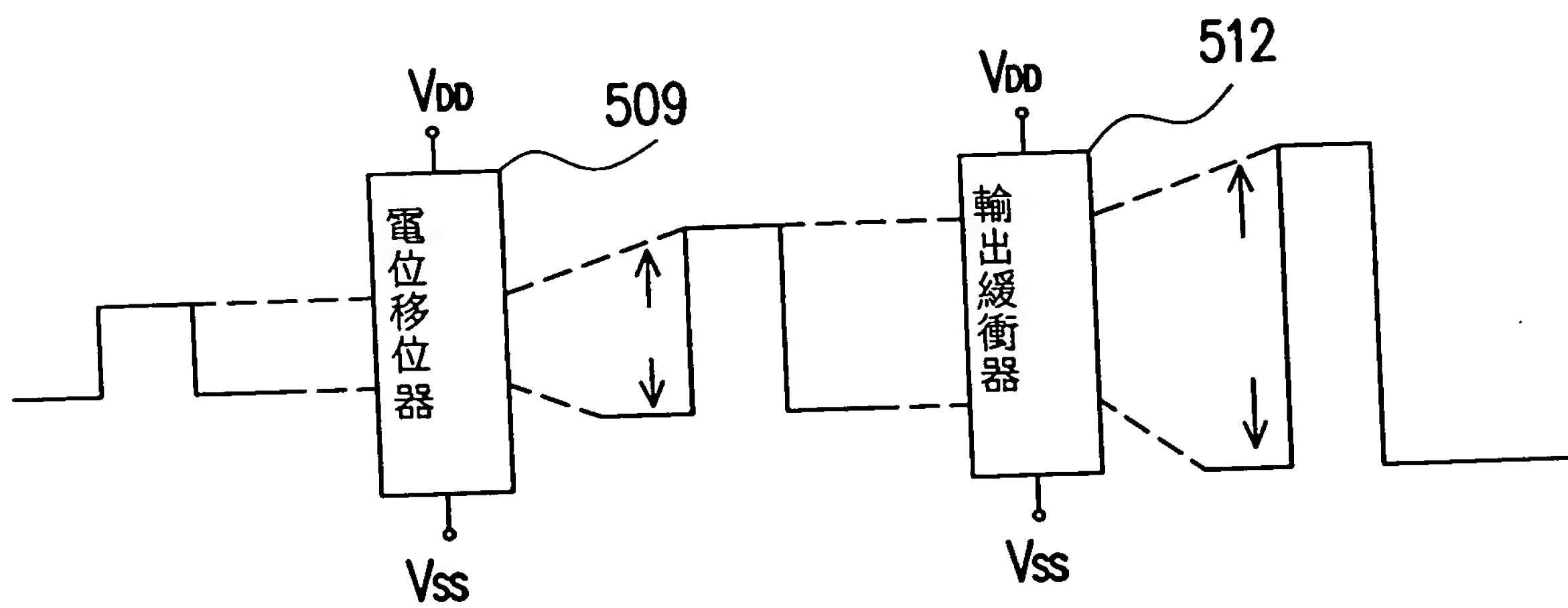
第 3 圖



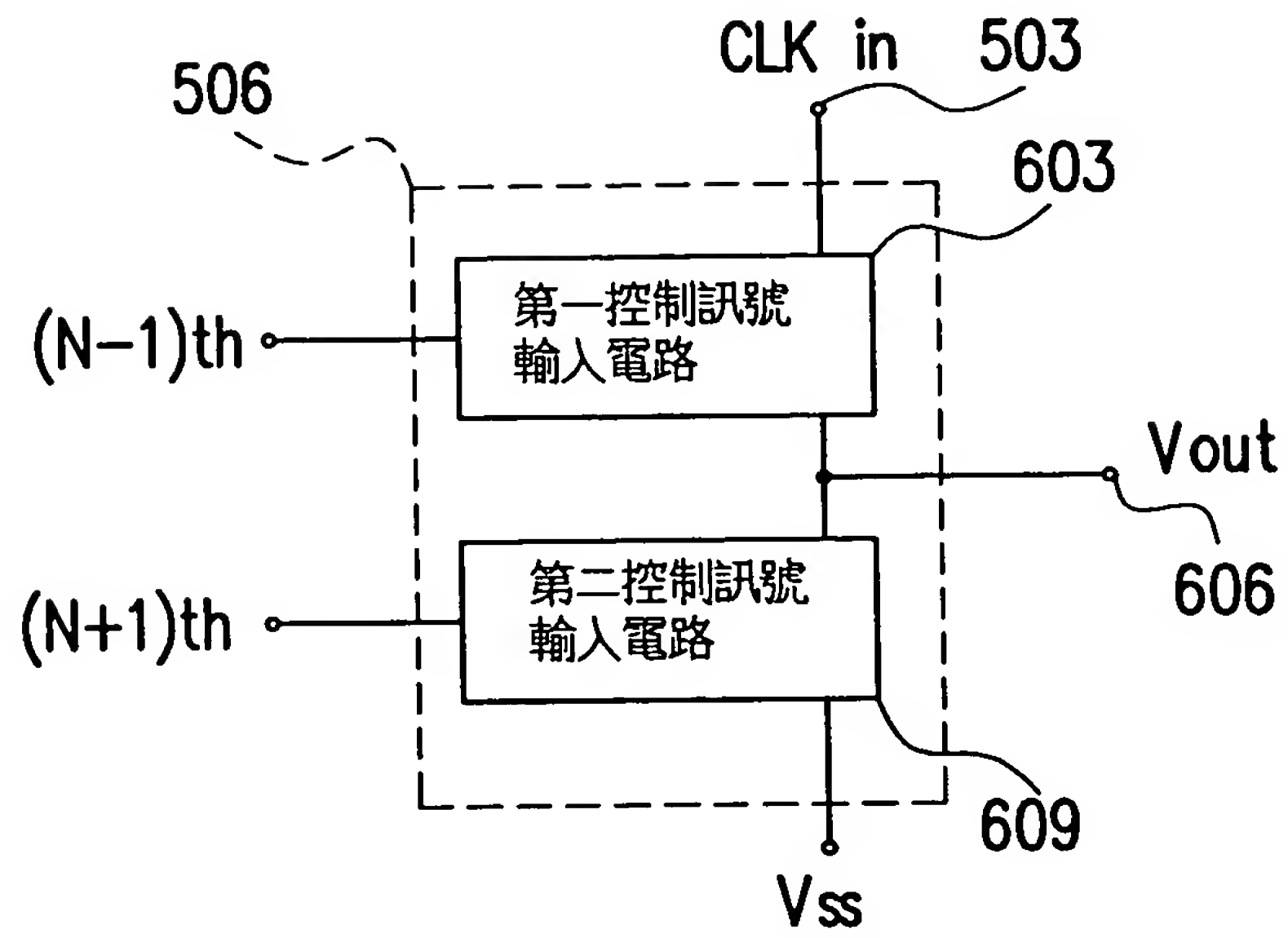
第 4 圖



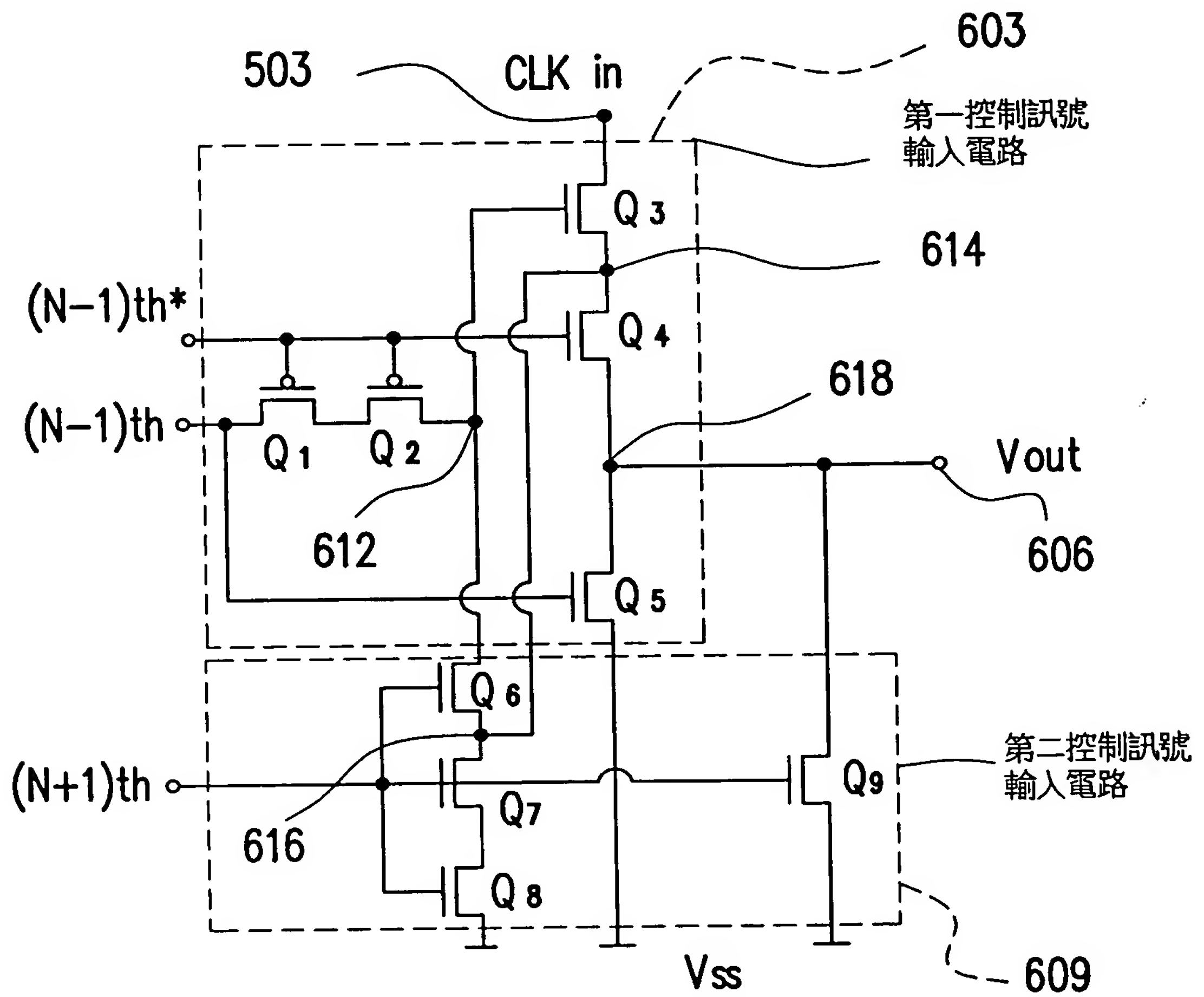
第5A圖



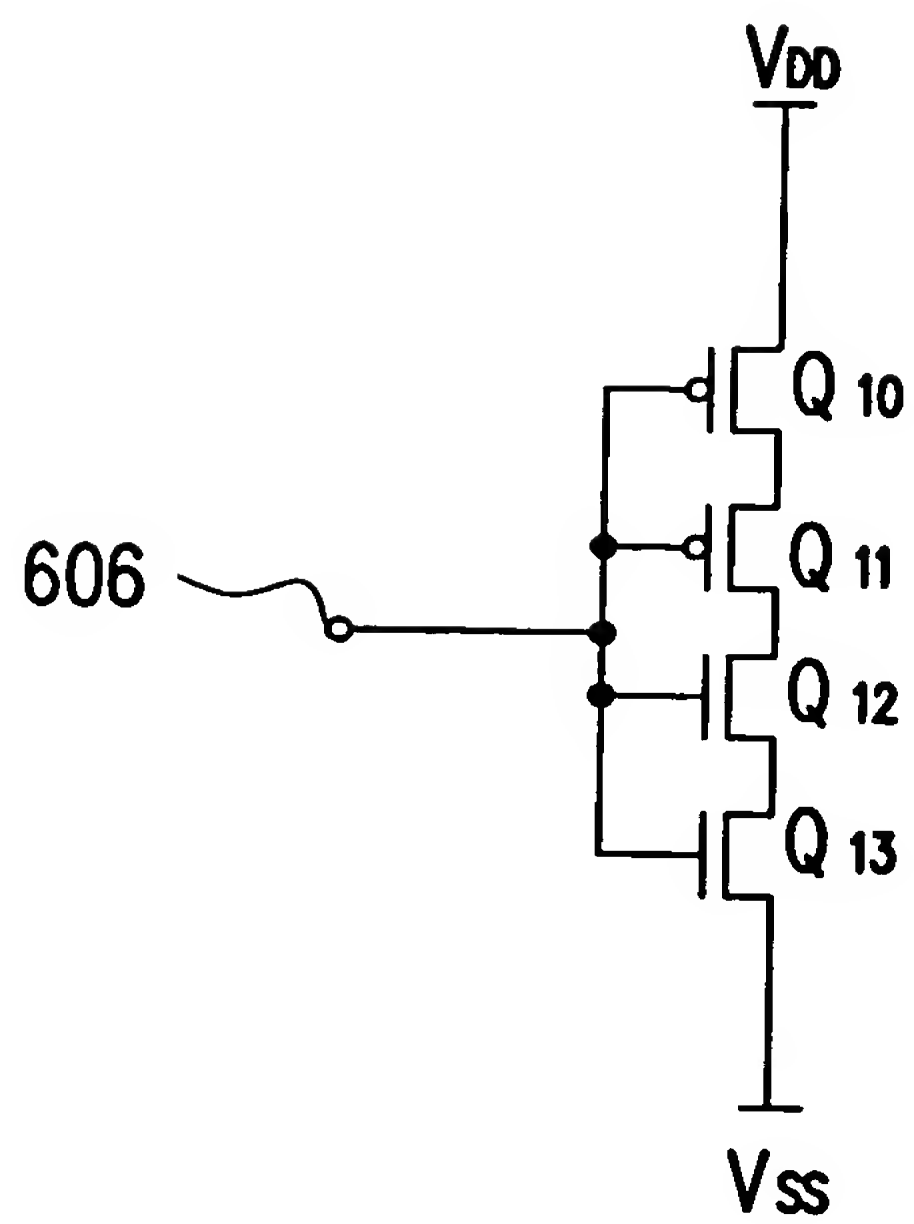
第5B圖



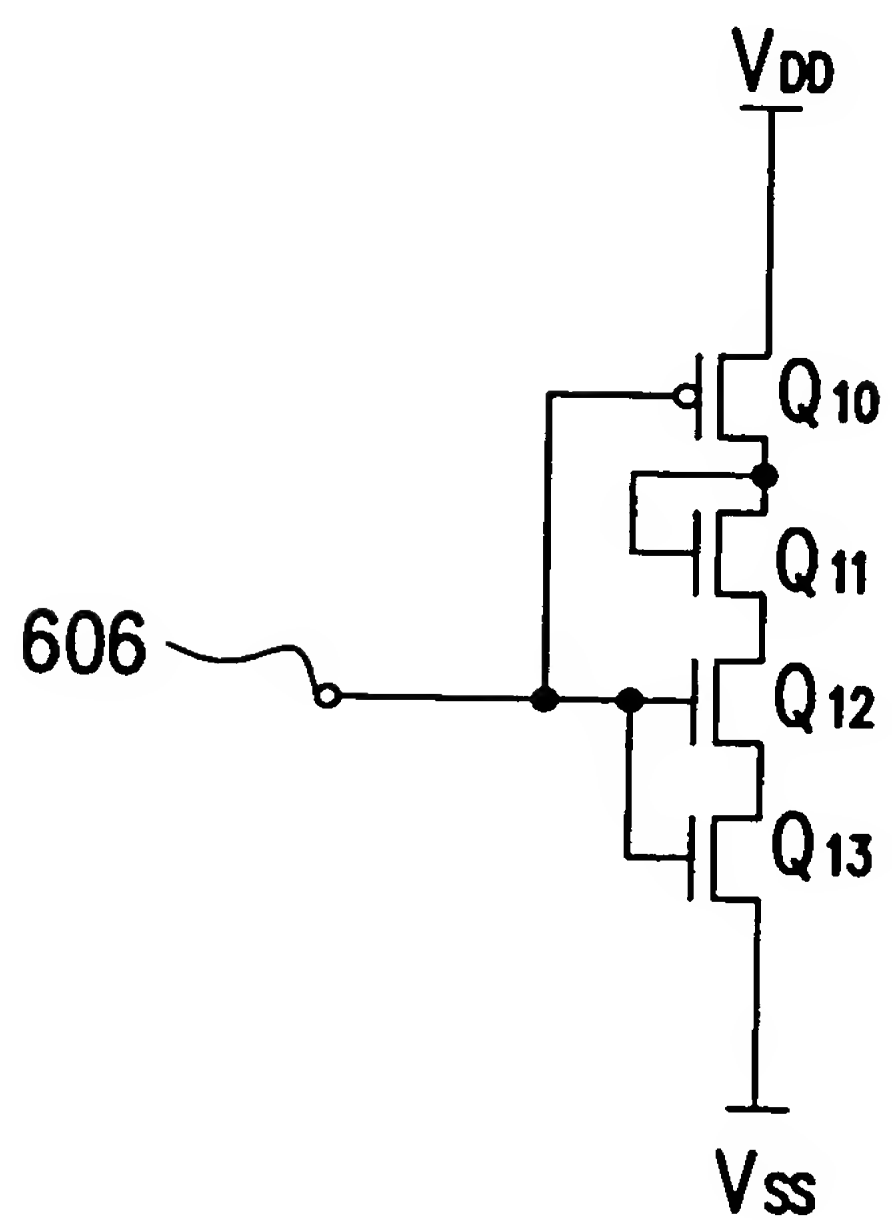
第 6A 圖



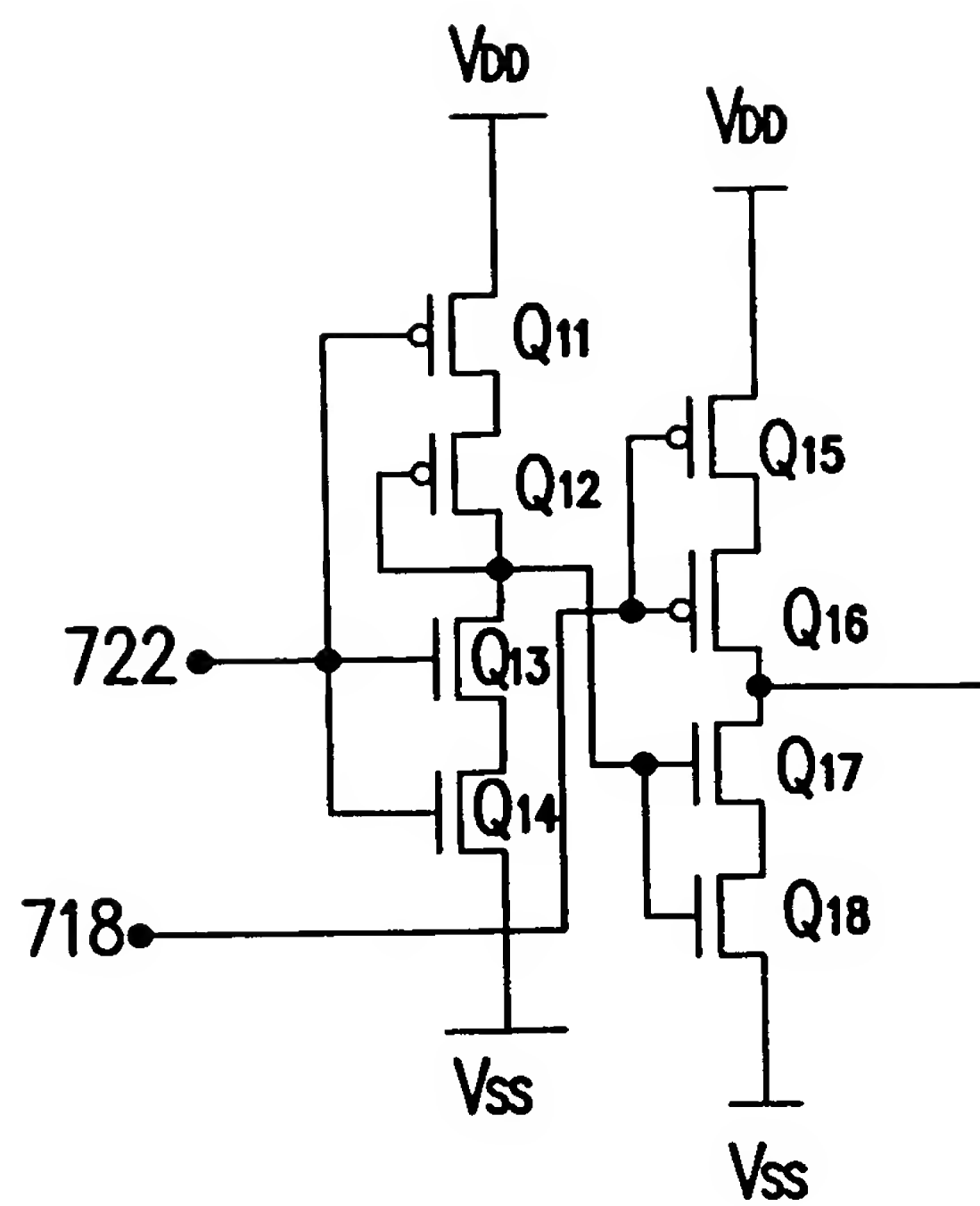
第 6B 圖



第 6C 圖

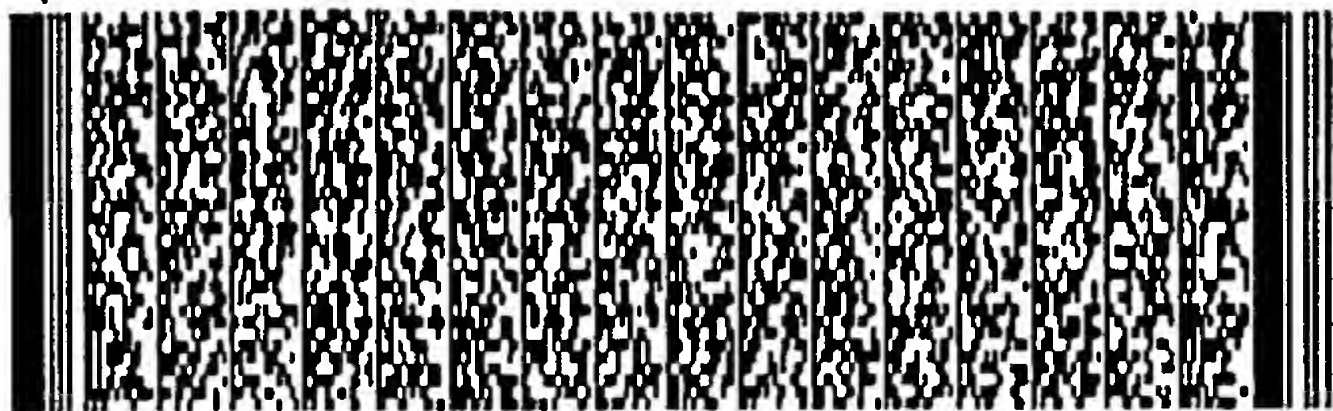


第 6D 圖

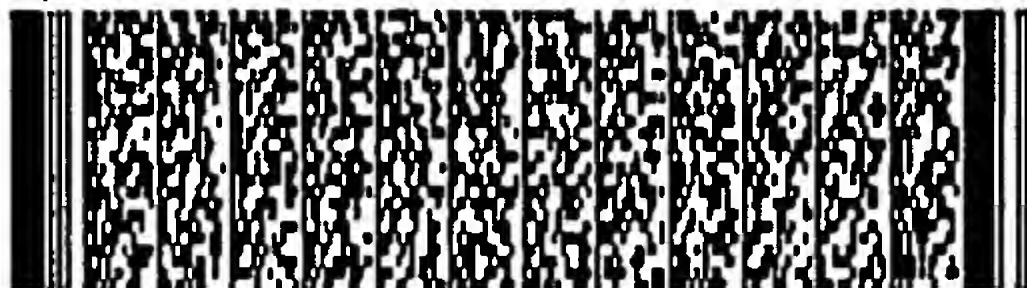


第 7C 圖

第 1/23 頁



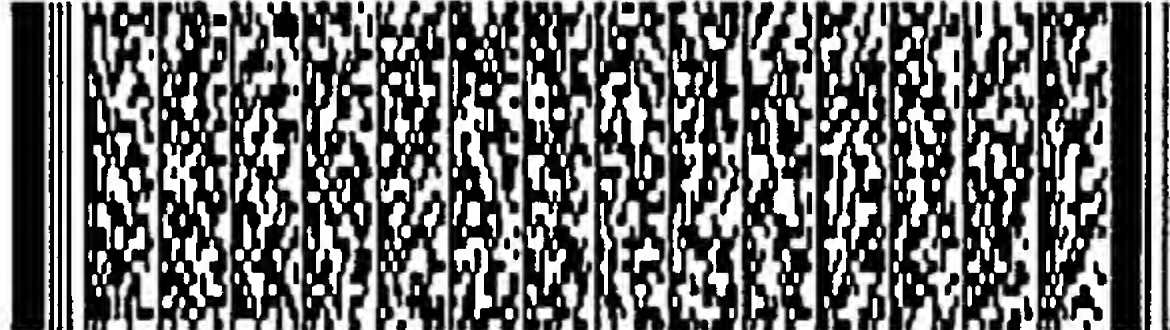
第 2/23 頁



第 3/23 頁



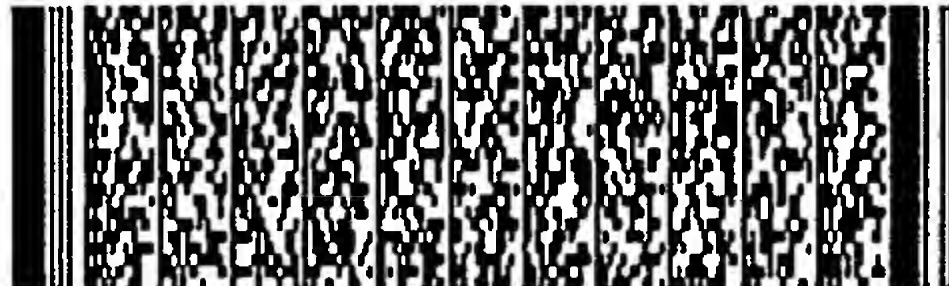
第 3/23 頁



第 4/23 頁



第 5/23 頁



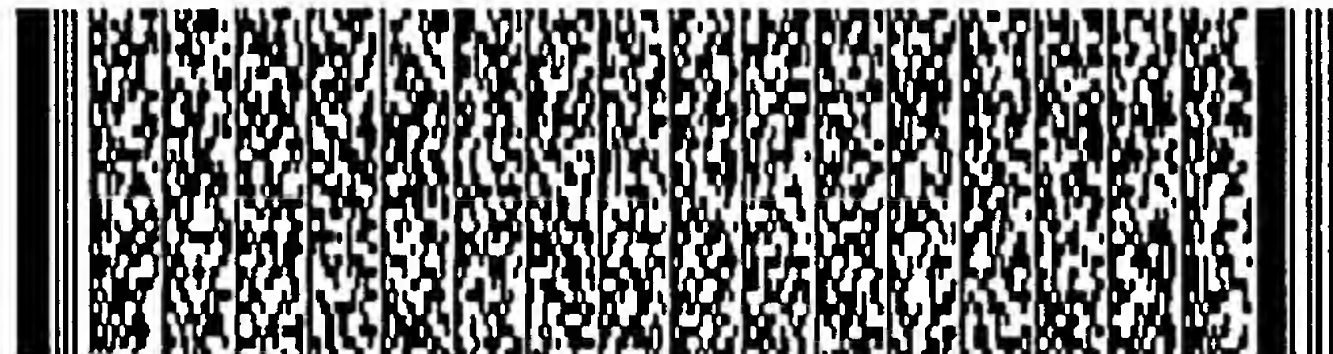
第 6/23 頁



第 7/23 頁



第 7/23 頁



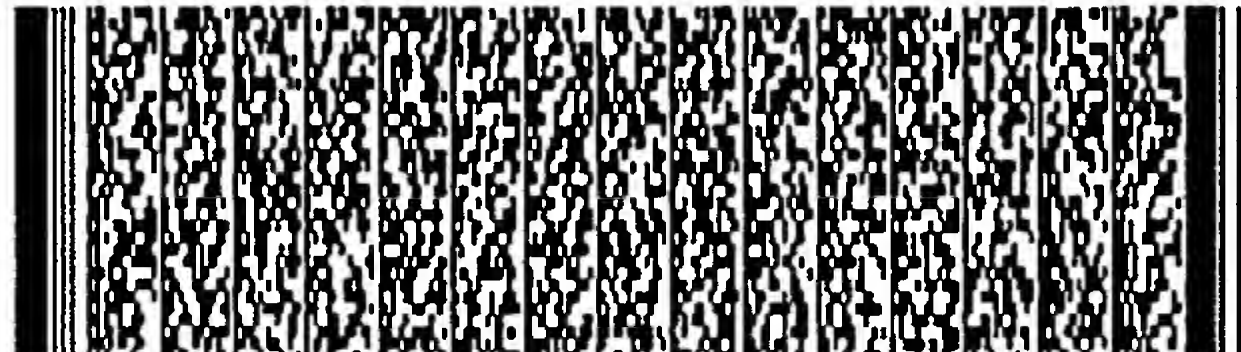
第 8/23 頁



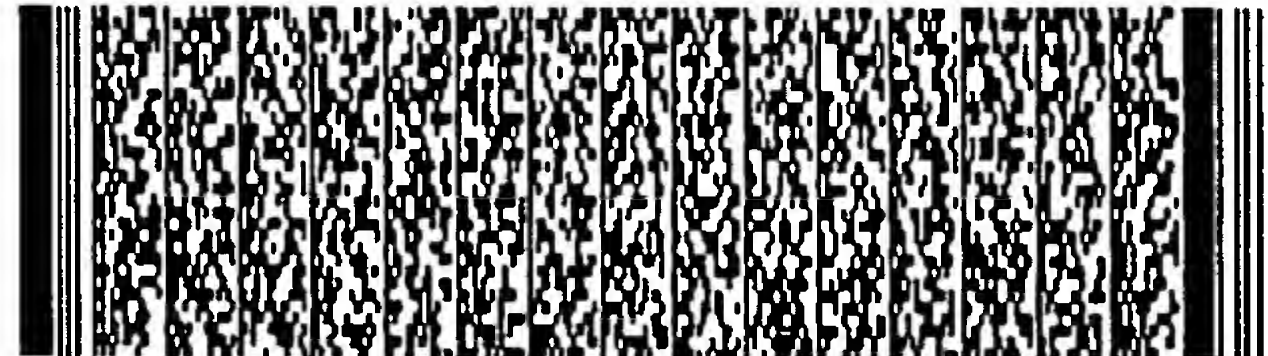
第 8/23 頁



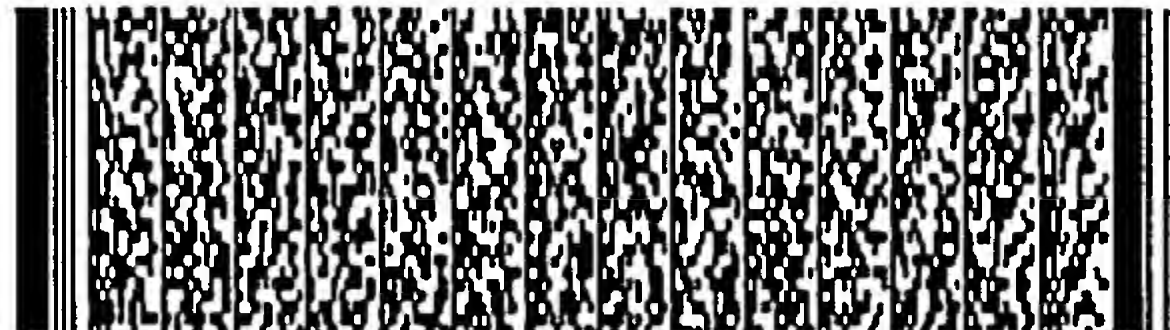
第 9/23 頁



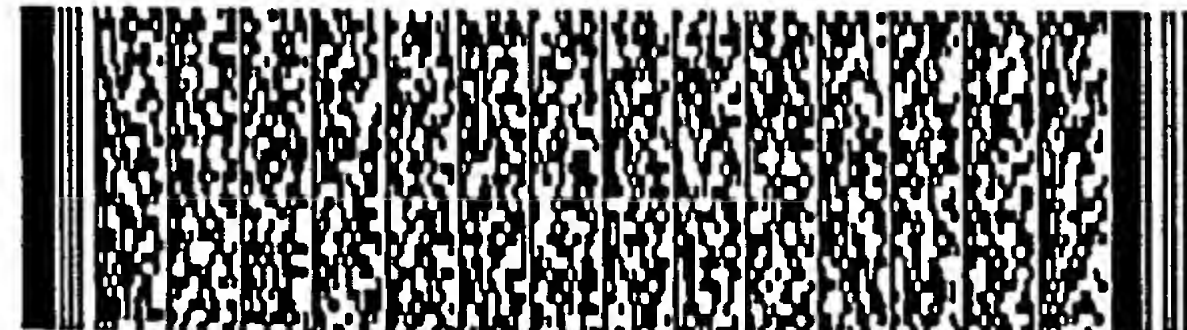
第 9/23 頁



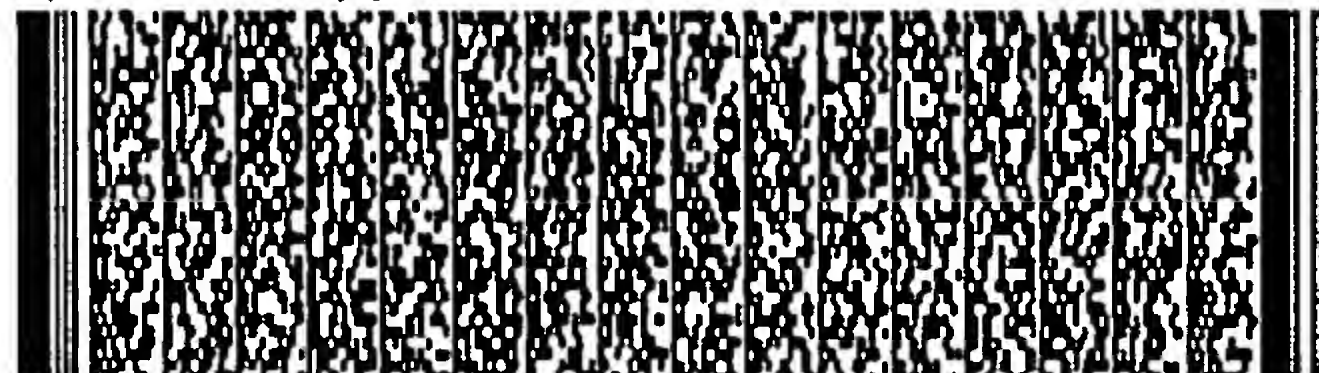
第 10/23 頁



第 10/23 頁



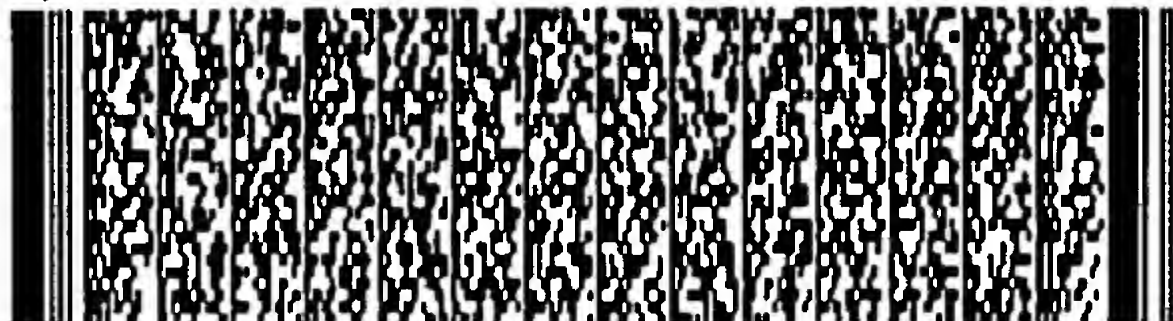
第 11/23 頁



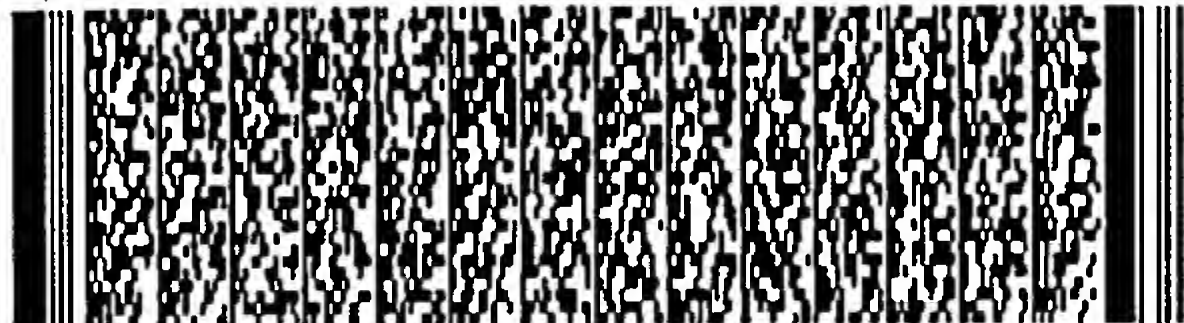
第 11/23 頁



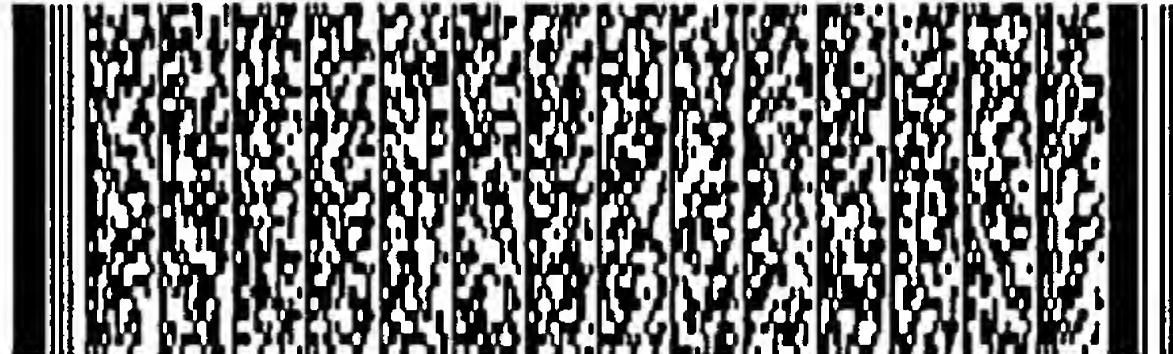
第 12/23 頁



第 12/23 頁



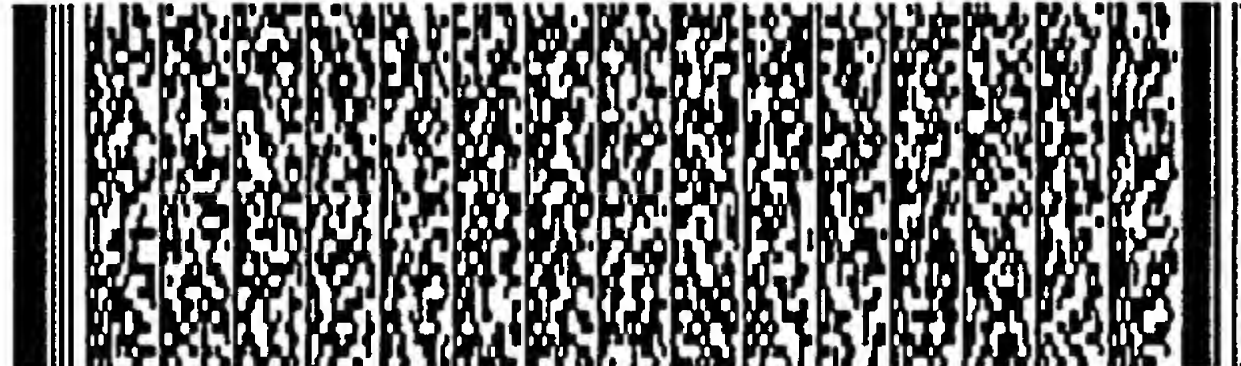
第 13/23 頁



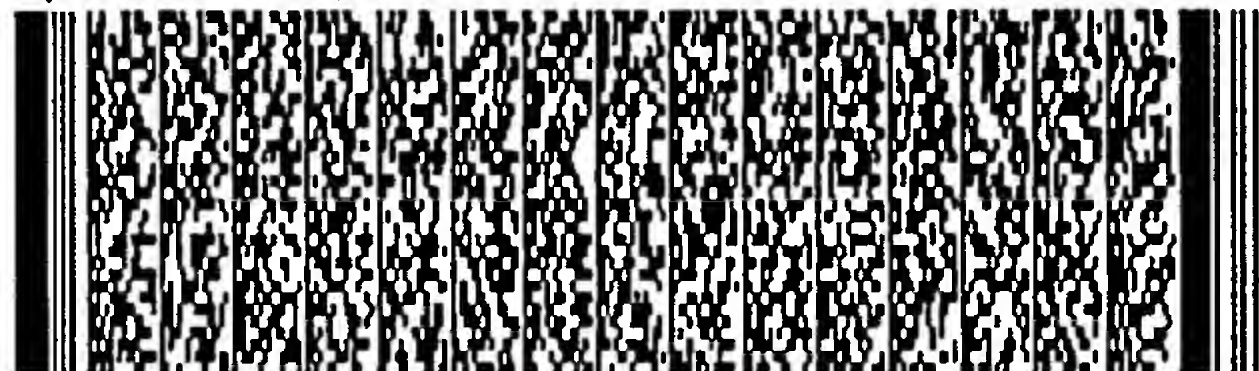
第 13/23 頁



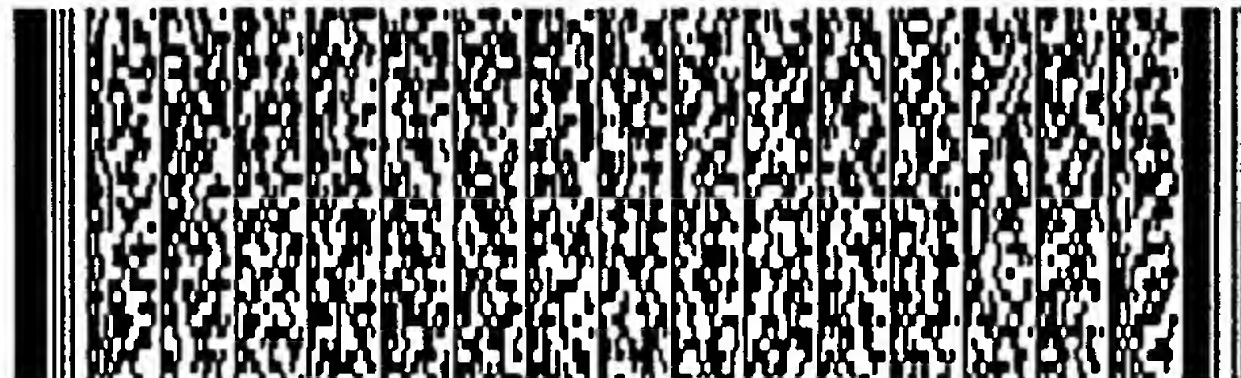
第 14/23 頁



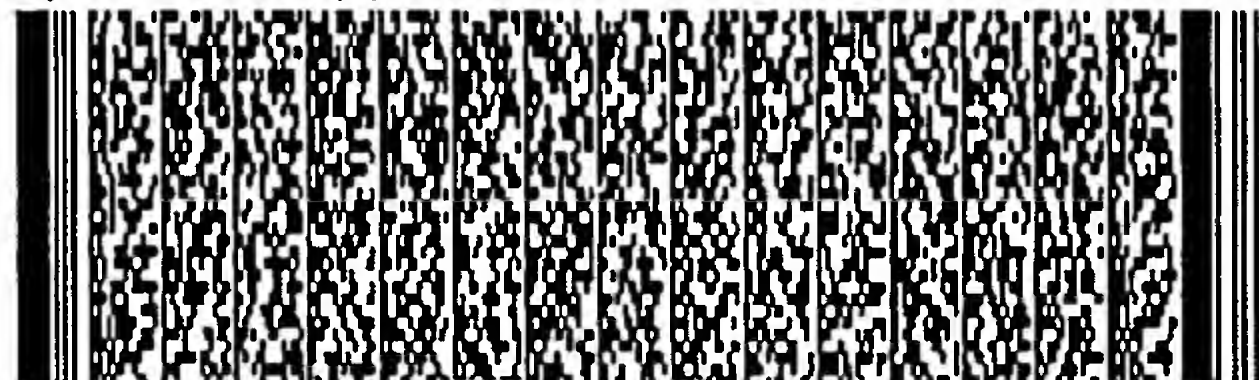
第 14/23 頁



第 15/23 頁



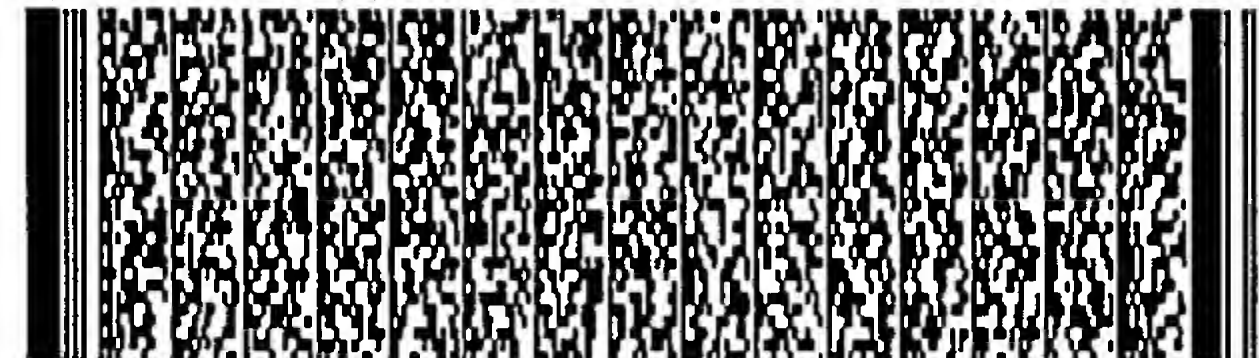
第 15/23 頁



第 16/23 頁



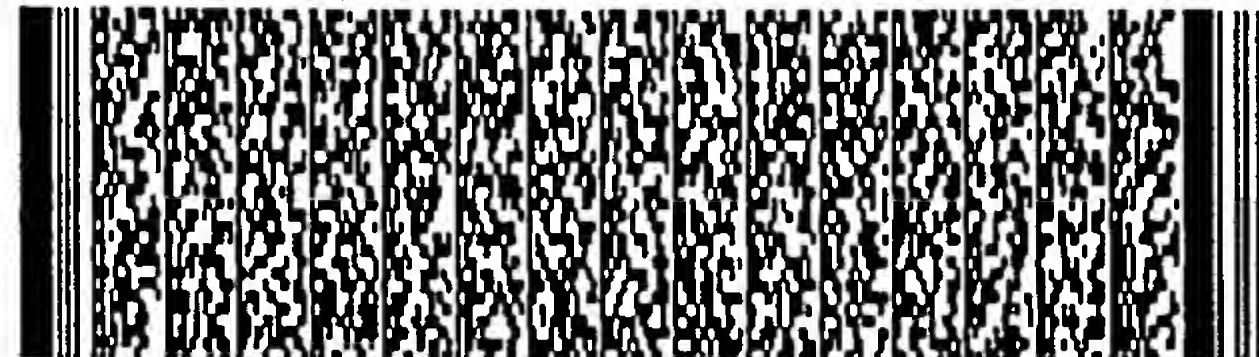
第 16/23 頁



第 17/23 頁



第 17/23 頁



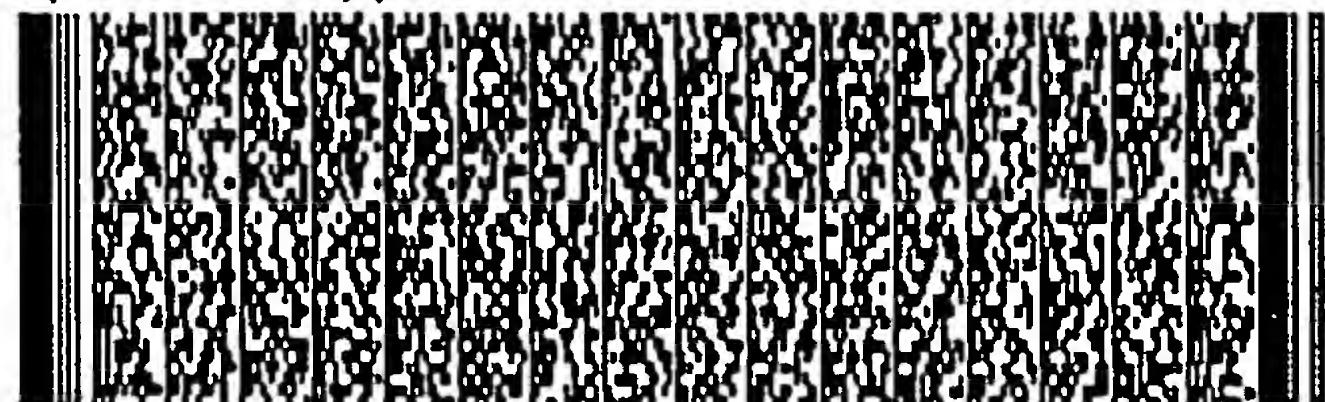
第 18/23 頁



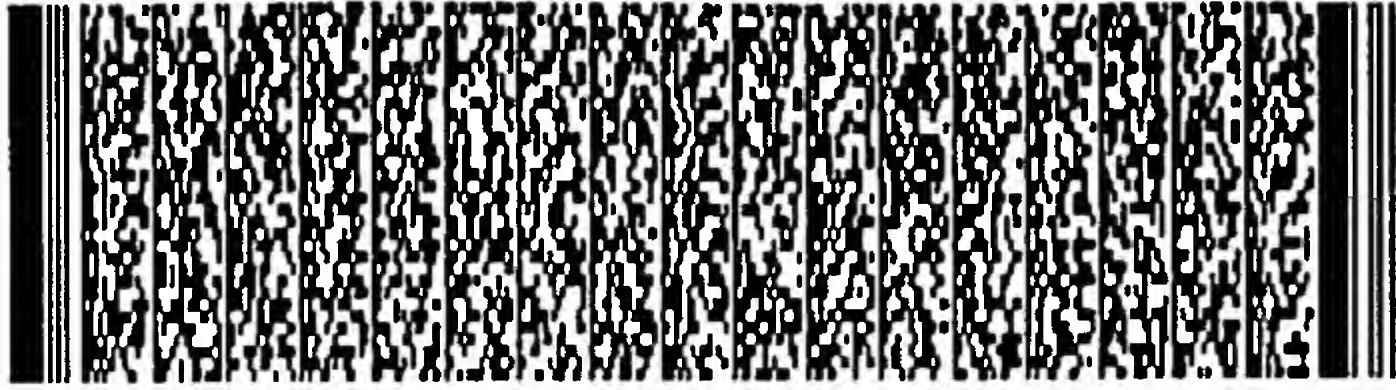
第 19/23 頁



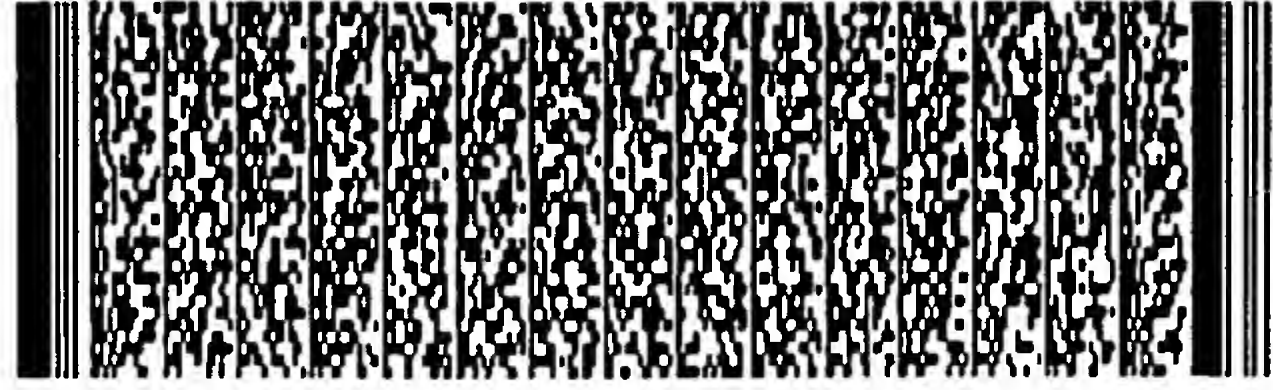
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

